

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0050

Applicant: Hee Bok KANG

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 10, 2003

Art Unit: Unassigned

Title: NONVOLATILE FERROELECTRIC MEMORY DEVICE HAVING
MULTI-BIT CONTROL FUNCTION

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:

Korean Patent Application No. 10-2003-0032902 filed May 23, 2003

Respectfully submitted,

Date: 12/10/03

By Johnny A. Kumar
Johnny A. Kumar

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0032902
Application Number

출원 년 월 일 : 2003년 05월 23일
Date of Application MAY 23, 2003

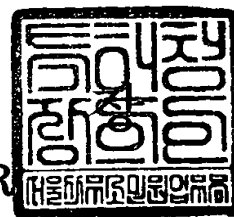
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 02 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【창조번호】	0006
【제출일자】	2003.05.23
【국제특허분류】	H01L
【발명의 명칭】	멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치
【발명의 영문명칭】	Non-volatile ferroelectric memory device for controlling multi-bit
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-763
【주소】	대전광역시 서구 도마2동 경남아파트 109-203
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 황의인 (인) 대리인 이정훈 (인)



1020030032902

출력 일자: 2003/10/11

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 45 면 45,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 17 항 653,000 원

【합계】 727,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치에 관한 것으로써, 특히 복수개의 셀을 동시에 선택하여 리드/라이트 동작을 수행함으로써 칩의 동작 속도를 향상시킬 수 있도록 하는 기술을 개시한다. 이러한 본 발명은, 복수개의 셀을 동시에 선택하고, 선택된 복수개의 셀 평균 특성을 이용하여 안정적이고 분포가 작은 센싱값을 얻을 수 있게 된다. 따라서, 복수개의 셀의 평균 특성에 의해 얻어진 안정화된 전하값에 따라 복수개의 비트를 리드/라이트 함으로써 불휘발성 강유전체 메모리의 동작 속도를 향상시킬 수 있도록 한다.

【대표도】

도 3

**【명세서】****【발명의 명칭】**

멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치{Non-volatile ferroelectric memory device for controlling multi-bit}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 불휘발성 강유전체 메모리 셀의 구성 및 특성도.

도 3 및 도 4는 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 셀 구성 및 특성도.

도 5는 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 셀 구성에 관한 다른 실시예.

도 6 및 도 7은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 실시예들.

도 8은 도 6 및 도 7의 셀 어레이 블록에 관한 상세 구성도.

도 9는 도 8의 메인 비트라인 풀업 제어부에 관한 상세 회로도.

도 10은 도 8의 메인 비트라인 센싱 로드부에 관한 상세 회로도.

도 11은 도 8의 컬럼 선택 스위칭부에 관한 상세 회로도.

도 12는 도 8의 서브 셀 어레이에 관한 상세 회로도.

도 13은 2T2C 구성을 갖는 본 발명의 셀 어레이를 나타낸 도면.

도 14는 4T4C 구성을 갖는 본 발명의 셀 어레이를 나타낸 도면.

도 15는 2T2C 구성을 갖는 본 발명의 셀 어레이에 관한 다른 실시예.



도 16은 4T4C 구성을 갖는 본 발명의 셀 어레이에 관한 다른 실시예.

도 17 및 도 18은 도 13에 적용되는 본 발명의 셀 어레이에 관한 다른 실시예.

도 19 내지 도 21은 도 14에 적용되는 본 발명의 셀 어레이에 관한 다른 실시예.

도 22 및 도 23은 도 15에 적용되는 본 발명의 셀 어레이에 관한 다른 실시예.

도 24 내지 도 26은 도 16에 적용되는 본 발명의 셀 어레이에 관한 다른 실시예.

도 27은 본 발명의 2비트 기록 레벨을 설명하기 위한 도면.

도 28은 본 발명의 2비트 센싱 레벨을 설명하기 위한 도면.

도 29는 본 발명의 2비트 저장을 위한 센싱 제어부의 구성도.

도 30은 본 발명의 N비트 기록 레벨을 설명하기 위한 도면.

도 31은 본 발명의 N비트 센싱 레벨을 설명하기 위한 도면.

도 32는 본 발명의 N비트 저장을 위한 센싱 제어부의 구성도.

도 33은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 라이트 모드시 동작 타이밍도.

도 34는 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 리드 모드시 동작 타이밍도.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <26> 본 발명은 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치에 관한 것으로서, 특히 복수개의 셀을 동시에 선택하고, 선택된 복수개 셀의 평균값 특성을 이용하여 데이터의 리드/라이트 동작을 수행함으로써 칩의 동작 속도를 향상시킬 수 있도록 하는 기술이다.
- <27> 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM; Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <28> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 캐패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <29> 상술된 FeRAM에 관한 기술내용은 본 발명과 동일 발명자에 의해 출원된 대한민국 특허 출원 제 2001-57275호에 개시된 바 있다.
- <30> 이러한 종래의 불휘발성 강유전체 메모리의 셀 구성은 일반적으로 도 1에 도시된 바와 같다.
- <31> 종래의 불휘발성 강유전체 메모리 셀은, 2개의 트랜지스터 T1, T2와 2개의 강유전체 캐패시터 FC1, FC2를 구비하여 2T2C(2-Transistor, 2-Capacitor) 구조를 갖는다.
- <32> 트랜지스터 T1은 비트라인 /BL과 강유전체 캐패시터 FC1의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL과 연결된다. 강유전체 캐패시터 FC1의 제 2전극은 플레이트 라인 PL

에 연결된다. 그리고, 트랜지스터 T2는 비트라인 BL과 강유전체 캐패시터 FC2의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL과 연결된다. 그리고, 강유전체 캐패시터 FC2의 제 2전극은 플레이트 라인 PL에 연결된다.

<33> 여기서, 한쌍의 비트라인 BL, /BL은 센스앰프 S/A1에 공통으로 연결된다. 그리고, 두개의 강유전체 캐패시터 FC1, FC2는 서로 반대의 데이터를 기억한다. 따라서, 두개의 기억소자가 1개의 데이터를 저장하는 형태가 된다.

<34> 도 2는 종래의 불휘발성 강유전체 메모리 셀의 히스테리시스 특성을 나타낸 도면이다.

<35> 도 2를 보면, 정상 셀의 데이터 "1"은 전하량이 D가 되고, 데이터 "0"은 전하량이 A가 된다. 반면에, 비정상 셀의 데이터 "1"은 전하량이 C가 되고, 데이터 "0"은 전하량이 B가 된다. 여기서, 비정상 셀의 경우 데이터 "1" 및 데이터 "0"의 데이터 마진이 최소값을 나타낸다.

<36> 이러한 종래의 2T2C 구조의 불휘발성 강유전체 메모리 셀은, 정상 상태의 데이터와 비정상 상태의 데이터가 있을 경우, 비정상 상태의 데이터 특성에 의해 셀의 특성이 결정된다. 따라서, 비정상 상태의 데이터 특성을 나타내는 셀의 경우 데이터 "1"과 데이터 "0"을 명확히 구별할 수 없기 때문에 데이터 패일이 발생하게 되는 문제점이 있다.

<37> 특히, 반도체 메모리의 디자인 룰(Design Rule)이 작아지면서 셀 사이즈는 점점 작아지게 된다. 그런데, 셀 사이즈가 점점 작아질 경우 셀의 특성을 정상적으로 유지하기 어려운 문제점이 있다. 또한, 셀 특성이 각각 달라서 큰 분포를 갖게 되면 데이터의 최소 센싱 마진이 줄어들게 되어 빠른 칩 구동이 불가능한 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<38> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로, 다음과 같은 목적을 갖는다.

<39> 첫째, 동시에 선택된 복수개 셀의 평균 특성을 이용하여 안정적이고 분포가 작은 데이터의 센싱값을 얻을 수 있도록 하는데 그 목적이 있다.

<40> 둘째, 두개 이상의 셀을 동시에 선택하여 안정화된 센싱값에 따라 멀티 비트를 메모리 셀에 리드/라이트 함으로써 불휘발성 강유전체 메모리의 동작 속도를 향상시킬 수 있도록 하는데 그 목적이 있다.

【발명의 구성 및 작용】

<41> 상기한 목적을 달성하기 위한 본 발명의 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치는, 복수개의 비트라인에 연결되어 동시에 활성화되는 복수개의 메모리 셀; 복수개의 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치; 복수개의 컬럼 선택 스위치와 공통 연결된 공통 데이터 버스; 및 공통 데이터 버스를 통해 인가되는 평균화된 데이터의 전압레벨과 기준전압 레벨을 비교 및 증폭하는 센스앰프를 구비하고, 복수개의 컬럼 선택 스위치로부터 각각 인가되는 복수개의 데이터는 각각의 전하값이 평균화되어 평균화된 데이터의 전압레벨이 공통 데이터 버스에 출력됨을 특징으로 한다.

<42> 또한, 본 발명은, 복수개의 메인 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치를 각각 구비하고, 수평 방향으로 배열되어 동시에 활성화되는 복수개의 셀 어레이 블럭; 복수개의 셀 어레이 블럭과 공통 연결된 공통 데이터 버스; 및 공통 데이터 버스를 통해 인가되는 복수개의 평균화된 데이터의 전압레벨과 서로 다른 기준전압 레벨을 비교 및 증폭하

여, 전압 레벨이 상이한 멀티 비트 데이터를 각각 출력하는 복수개의 센스앰프를 구비함을 특징으로 한다.

<43> 또한, 본 발명은, 복수개의 메인 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치를 각각 구비하고, 수평 및 수직 방향으로 배열되어 동시에 활성화되는 복수개의 셀 어레이 블록; 복수개의 셀 어레이 블록과 공통 연결된 공통 데이터 버스; 공통 데이터 버스를 기준으로 하여 수직으로 대응되는 복수개의 셀 어레이 블록으로부터 인가되는 복수개의 평균화된 데이터의 전압레벨과 서로 다른 기준전압 레벨을 비교 및 증폭하여, 전압 레벨이 상이한 멀티 비트 데이터를 각각 출력하는 복수개의 센스앰프를 구비함을 특징으로 한다.

<44> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<45> 도 3은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 셀 구성이다.

<46> 본 발명은 2개의 트랜지스터 T3,T4와 2개의 강유전체 캐패시터 FC3,FC4를 구비하여 2T2C(2-Transistor,2-Capacitor) 구조를 갖는다.

<47> 트랜지스터 T3은 비트라인 BL1과 강유전체 캐패시터 FC3의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL과 연결된다. 강유전체 캐패시터 FC3의 제 2전극은 플레이트 라인 PL에 연결된다.

<48> 그리고, 트랜지스터 T4는 비트라인 BL2과 강유전체 캐패시터 FC4의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL과 연결된다. 그리고, 강유전체 캐패시터 FC4의 제 2전극은 플레이트 라인 PL에 연결된다. 여기서, 2T2C 구조의 기억 소자들은 동시에 활성화된다. 그

리고, 두개의 강유전체 캐패시터 FC3,FC4는 서로 같은 데이터를 기억한다. 이하에서는 동시에 활성화되는 메모리 셀 영역을 "ACT"라고 기재하기로 한다.

<49> 또한, 비트라인 BL1은 컬럼 선택 스위치 CS1과 연결되고, 비트라인 BL2은 컬럼 선택 스위치 CS2와 연결된다. 그리고, 컬럼 선택 스위치 CS1,CS2는 공통 데이터 버스(1)를 통해 센스앰프 S/A2에 공통으로 연결되어 된다. 공통 데이터 버스(1)는 컬럼 선택 스위치 CS1,CS2에서 전송되는 두개의 셀 데이터 값을 평균한다. 센스앰프 S/A2는 공통 데이터 버스(1)로부터 인가되는 평균화된 데이터의 전압레벨과 기준전압 REF을 비교 및 증폭하여 출력한다.

<50> 도 4는 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 셀 특성을 나타낸 도면이다.

<51> 도 4를 보면, 정상 셀의 데이터 "1"은 전하량이 D가 되고, 데이터 "0"은 전하량이 A가 된다. 반면에, 비정상 셀의 데이터 "1"은 전하량이 C가 되고, 데이터 "0"은 전하량이 B가 된다. 여기서, 두개의 강유전체 캐패시터 FC3,FC4는 서로 같은 데이터를 저장한다. 그리고, 센스앰프 S/A2는 비트라인 BL1,BL2으로부터 인가되는 동일한 데이터의 전하 값을 평균한다.

<52> 따라서, 두개의 셀 중에서 한개의 셀만 정상일 경우, 두개의 셀의 평균 마진은 정상 상태의 데이터와 비정상 상태의 데이터의 중간값을 갖게 된다. 결국, 두개의 셀은 항상 일정한 마진을 확보할 수 있게 된다. 이에 따라, 본 발명은 비정상 상태의 셀이 존재할 경우에도 정상 셀들과의 평균값에 의해 항상 일정량 이상의 마진을 갖는 센싱 데이터를 확보할 수 있게 된다.

<53> 도 5는 본 발명의 다른 실시예에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 셀 구성이다.

- <54> 도 5의 실시예는 4개의 트랜지스터 T5~T8와 4개의 강유전체 캐패시터 FC7~FC10를 구비하여 4T4C(4-Transistor, 4-Capacitor) 구조를 갖는다.
- <55> 트랜지스터 T5는 비트라인 BL1과 강유전체 캐패시터 FC7의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL_1과 연결된다. 강유전체 캐패시터 FC7의 제 2전극은 플레이트 라인 PL_1에 연결된다. 그리고, 트랜지스터 T6는 비트라인 BL2과 강유전체 캐패시터 FC8의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL_1과 연결된다. 그리고, 강유전체 캐패시터 FC8의 제 2전극은 플레이트 라인 PL_1에 연결된다.
- <56> 또한, 트랜지스터 T7는 비트라인 BL3과 강유전체 캐패시터 FC9의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL_2과 연결된다. 강유전체 캐패시터 FC9의 제 2전극은 플레이트 라인 PL_2에 연결된다. 그리고, 트랜지스터 T8는 비트라인 BL3과 강유전체 캐패시터 FC10의 제 1전극 사이에 연결되어 게이트 단자가 워드라인 WL_2과 연결된다. 그리고, 강유전체 캐패시터 FC10의 제 2전극은 플레이트 라인 PL_2에 연결된다.
- <57> 또한, 비트라인 BL1은 컬럼 선택 스위치 CS3과 연결되고, 비트라인 BL2은 컬럼 선택 스위치 CS4와 연결된다. 비트라인 BL3은 컬럼 선택 스위치 CS5와 연결되고, 비트라인 BL4는 컬럼 선택 스위치 CS6과 연결된다. 그리고, 컬럼 선택 스위치 CS1~CS4는 공통 데이터 버스(2)를 통해 센스앰프 S/A3에 공통으로 연결된다. 센스앰프 S/A3는 컬럼 선택 스위치 CS1~CS4를 통해 인가되는 네개의 셀 데이터 값을 기준전압 REF에 의해 평균한다.
- <58> 여기서, 4T4C 구조의 기억 소자들은 동시에 활성화된다. 그리고, 네개의 강유전체 캐패시터 FC7~FC10는 서로 같은 데이터를 기억한다.

- <59> 그리고, 센스앰프 S/A3는 비트라인 BL1~BL4으로부터 인가되는 동일한 데이터의 전하 값을 평균한다. 따라서, 네개의 셀 중에서 적어도 어느 하나의 셀이 정상일 경우, 네개의 셀 평균에 따라 항상 일정한 마진을 확보할 수 있게 된다. 이에 따라, 본 발명은 비정상 상태의 셀이 존재할 경우에도 정상 셀들과의 평균값에 의해 항상 일정량 이상의 마진을 갖는 센싱 데이터를 확보할 수 있게 된다.
- <60> 도 6은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 구성도이다.
- <61> 본 발명은 타이밍 데이터 버퍼부(10), 데이터 버퍼 버스부(20), 타이밍 데이터 레지스터 어레이부(30), 복수개의 셀 어레이 블록(40) 및 공통 데이터 버스부(50)를 구비한다.
- <62> 타이밍 데이터 버퍼부(10)는 데이터 버퍼 버스부(20)를 통해 타이밍 데이터 레지스터 어레이부(30)와 연결된다. 복수개의 셀 어레이 블록(40)은 공통 데이터 버스부(50)를 공유하고, 공통 데이터 버스부(50)는 타이밍 데이터 레지스터 어레이부(30)와 연결된다.
- <63> 이러한 구성을 갖는 본 발명은, 리드 동작 모드시 셀 어레이 블록(40)에서 리드된 데이터가 공통 데이터 버스부(50)를 통해 타이밍 데이터 레지스터 어레이부(30)에 저장된다. 그리고, 타이밍 데이터 레지스터 어레이부(30)에 저장된 리드 데이터는 데이터 버퍼 버스부(20)를 통해 타이밍 데이터 버퍼부(10)로 출력된다.
- <64> 반면에, 라이트 동작 모드시 타이밍 데이터 버퍼부(10)를 통해 입력된 입력 데이터는 데이터 버퍼 버스부(20)를 통해 타이밍 데이터 레지스터 어레이부(30)에 저장된다. 그리고, 타이밍 데이터 레지스터 어레이부(30)에 저장된 입력 데이터 또는 라이트 데이터는 공통 데이터 버스부(50)를 통해 셀 어레이 블록(40)에 라이트 된다.

- <65> 여기서, 타이밍 데이터 버퍼부(10) 및 타이밍 데이터 레지스터 어레이부(30)는 시간축 변환에 의한 멀티플(Multiple) 타임으로 데이터를 스플릿(Split)하게 된다. 따라서, 복수개의 데이터를 시간축 변환에 의해 제어하여 셀 어레이 블록(40)에 라이트 및 리드할 수 있게 된다. 즉, 본 발명에서 기준전압 REF는 데이터의 전압 레벨을 판단하기 위한 기준전압의 값일 수도 있지만, 시간축일 기준으로 하는 타이밍 레퍼런스일수도 있다.
- <66> 도 7은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 다른 실시예이다.
- <67> 도 7의 실시예는, 타이밍 데이터 버퍼부(10), 데이터 버퍼 버스부(20), 타이밍 데이터 레지스터 어레이부(30), 복수개의 상부 셀 어레이 블록(40), 공통 데이터 버스부(50) 및 복수개의 하부 셀 어레이 블록(60)을 구비한다.
- <68> 타이밍 데이터 버퍼부(10)는 데이터 버퍼 버스부(20)를 통해 타이밍 데이터 레지스터 어레이부(30)와 연결된다. 복수개의 상부 셀 어레이 블록(40) 및 복수개의 하부 셀 어레이 블록(60)은 공통 데이터 버스부(50)를 공유한다. 또한, 공통 데이터 버스부(50)는 타이밍 데이터 레지스터 어레이부(30)와 연결된다.
- <69> 이러한 구성을 갖는 본 발명은, 리드 동작 모드시 상부 셀 어레이 블록(40) 또는 하부 셀 어레이 블록(60)에서 출력된 리드 데이터가 공통 데이터 버스부(50)를 통해 타이밍 데이터 레지스터 어레이부(30)에 저장된다. 그리고, 타이밍 데이터 레지스터 어레이부(30)에 저장된 리드 데이터는 데이터 버퍼 버스부(20)를 통해 리드/라이트 데이터 버퍼부(10)로 출력된다.
- <70> 반면에, 라이트 동작 모드시 타이밍 데이터 버퍼부(10)를 통해 입력된 입력 데이터는 데이터 버퍼 버스부(20)를 통해 타이밍 데이터 레지스터 어레이부(30)에 저장된다. 그리고, 타

이밍 데이터 레지스터 어레이부(30)에 저장된 입력 데이터는 공통 데이터 버스부(50)를 통해 상부 셀 어레이 블록(40) 또는 하부 셀 어레이 블록(60)에 라이트 된다. 이때, 타이밍 데이터 레지스터 어레이부(30)에 저장된 라이트 데이터를 상부 셀 어레이 블록(40) 또는 하부 셀 어레이 블록(60)에 재저장 할수도 있다.

<71> 여기서, 타이밍 데이터 버퍼부(10) 및 타이밍 데이터 레지스터 어레이부(30)는 시간축 변환에 의한 멀티플(Multiple) 타임으로 데이터를 스플릿(Split)하게 된다. 따라서, 복수개의 데이터를 시간축 변환에 의해 제어하여 상부 셀 어레이 블록(40) 또는 하부 셀 어레이 블록(60)에 라이트 및 리드할 수 있게 된다. 즉, 본 발명에서 기준전압 REF는 데이터의 전압 레벨을 판단하기 위한 기준전압의 값일 수도 있지만, 시간축일 기준으로 하는 타이밍 레퍼런스일수도 있다.

<72> 도 8은 도 6 및 도 7에서 상부 셀 어레이 블록(40) 및 하부 셀 어레이 블록(60)에 관한 상세 구성도이다.

<73> 상부 셀 어레이 블록(40)과 하부 셀 어레이 블록(60)의 구성은 동일하므로 본 발명에서는 도 6에 도시된 셀 어레이 블록(40)의 구성을 그 실시예로써 설명한다.

<74> 셀 어레이 블록(40)은 메인 비트라인(MBL; Main Bit Line) 풀업(Pull Up) 제어부(41), 메인 비트라인 센싱 로드부(42), 복수개의 서브 셀 어레이(43) 및 컬럼 선택 스위칭부(44)를 구비한다. 여기서, 복수개의 서브 셀 어레이(43)는 컬럼 선택 스위칭부(44)를 통해 공통 데이터 버스부(50)에 연결된다.

<75> 도 9는 도 8의 메인 비트라인 풀업 제어부(41)에 관한 상세 회로도이다.

- <76> 메인 비트라인 풀업 제어부(41)는 프리차지시 메인 비트라인 MBL을 풀업 시키기 위한 PMOS트랜지스터 P1를 구비한다. PMOS트랜지스터 P1의 소스 단자는 전원전압 VCC 인가단에 연결되고, 드레인 단자는 메인 비트라인 MBL에 연결되며, 게이트 단자를 통해 메인 비트라인 풀업 제어신호 MBLPUC를 수신한다.
- <77> 도 10은 도 8의 메인 비트라인 센싱 로드부(42)에 관한 상세 회로도이다.
- <78> 메인 비트라인 센싱 로드부(42)는 메인 비트라인 MBL의 센싱 로드를 제어하기 위한 PMOS트랜지스터 P2를 구비한다. PMOS트랜지스터 P2의 소스 단자는 전원전압 VCC 인가단에 연결되고, 드레인 단자는 메인 비트라인 MBL에 연결되며, 게이트 단자를 통해 메인 비트라인 제어신호 MBLC를 수신한다.
- <79> 도 11은 도 8의 컬럼 선택 스위칭부(44)에 관한 상세 회로도이다.
- <80> 컬럼 선택 스위칭부(44)는 NMOS트랜지스터 N1 및 PMOS트랜지스터 P3를 구비한다. NMOS트랜지스터 N1은 메인 비트라인 MBL과 공통 데이터 버스(50) 사이에 연결되어 게이트 단자를 통해 컬럼 선택신호 CSN가 인가된다. 또한, PMOS트랜지스터 P3는 메인 비트라인 MBL과 공통 데이터 버스(50) 사이에 연결되어 게이트 단자를 통해 컬럼 선택신호 CSP가 인가된다.
- <81> 이러한 구성을 갖는 컬럼 선택 스위칭부(44) 컬럼 선택 신호 CSN, CSP의 활성화시 턴온되어 메인 비트라인 MBL과 공통 데이터 버스(50)를 연결한다.
- <82> 도 12는 도 8의 서브 셀 어레이(43)에 관한 상세 회로도이다.
- <83> 서브 셀 어레이(43)의 각각의 메인 비트라인 MBL은 복수개의 서브 비트라인 SBL 중에서 하나의 서브 비트라인 SBL과 선택적으로 연결된다. 즉, 서브 비트라인 선택 신호 SBSW1의 활

성화시 NMOS트랜지스터 N6가 턴온되어 하나의 서브 비트라인 SBL을 활성화시킨다. 또한, 하나의 서브 비트라인 SBL에는 복수개의 셀 C이 연결된다.

<84> 서브 비트라인 SBL은 서브 비트라인 풀다운 신호 SBPD의 활성화시 NMOS트랜지스터 N4의 턴온에 따라 그라운드 레벨로 풀다운 된다. 그리고, 서브 비트라인 풀업 신호 SBPU는 서브 비트라인 SBL에 공급되는 전원을 제어하기 위한 신호이다. 즉, 저전압에서는 전원전압 VCC 보다 높은 전압을 생성하여 서브 비트라인 SBL에 공급한다.

<85> 그리고, 서브 비트라인 선택 신호 SBSW2는 NMOS트랜지스터 N5의 스위칭에 따라 서브 비트라인 풀업 신호 SBPU 인가단과 서브 비트라인 SBL 사이의 연결을 제어한다.

<86> 또한, NMOS트랜지스터 N3는 NMOS트랜지스터 N2와 메인 비트라인 MBL 사이에 연결되고, 게이트 단자가 서브 비트라인 SBL과 연결된다. NMOS트랜지스터 N2는 접지전압단과 NMOS트랜지스터 N3 사이에 연결되고, 게이트를 통해 메인 비트라인 풀다운 신호 MBPD가 인가되어 메인 비트라인 MBL의 센싱 전압을 조정한다.

<87> 도 13은 도 6에 적용되는 2T2C 구조의 셀 어레이를 나타낸 도면이다.

<88> 도 13의 실시예는 2T2C 구조의 복수개의 셀 어레이 블록(40)이 수평 방향으로 배열된다. 복수개의 셀 어레이 블록(40)에서 메인 비트라인 MBL은 컬럼 선택 스위칭부(44)와 일대일 대응하여 연결된다. 복수개의 컬럼 선택 스위칭부(44)는 공통 데이터 버스(50)를 통해 센스앰프 S/A2와 연결된다. 하나의 센스앰프 S/A2는 2개의 컬럼 선택 스위칭부(44)로부터 인가되는 셀 데이터를 평균한다.

- <89> 여기서, 두개의 셀 어레이 블록(40)을 동시에 활성화시킬 경우, 두개의 셀 어레이 블록(40)의 각각의 셀들은 공통 데이터 버스(50)를 통해 동일한 데이터를 리드/라이트 한다. 이때, 도 13의 실시예는 도 3에 도시한 바와 같이 2T2C의 셀 구조를 갖는다.
- <90> 도 14는 도 6에 적용되는 4T4C 구조의 셀 어레이를 나타낸 도면이다.
- <91> 도 14의 실시예는 4T4C 구조의 복수개의 셀 어레이 블록(40)이 수평 방향으로 배열된다. 복수개의 셀 어레이 블록(40)에서 메인 비트라인 MBL은 컬럼 선택 스위칭부(44)와 일대일 대응하여 연결된다. 복수개의 컬럼 선택 스위칭부(44)는 공통 데이터 버스(50)를 통해 센스앰프 S/A3와 연결된다. 하나의 센스앰프 S/A3는 4개의 컬럼 선택 스위칭부(44)로부터 인가되는 셀 데이터를 평균한다.
- <92> 여기서, 네개의 셀 어레이 블록(40)을 동시에 활성화시킬 경우, 네개의 셀 어레이 블록(40)의 각각의 셀들은 공통 데이터 버스(50)를 통해 동일한 데이터를 리드/라이트 한다. 이때, 도 14의 실시예는 도 5에 도시한 바와 같이 4T4C의 셀 구조를 갖는다.
- <93> 도 15는 도 7에 적용되는 2T2C 구조의 셀 어레이를 나타낸 도면이다.
- <94> 도 15의 실시예는 2T2C 구조의 복수개의 상부 셀 어레이 블록(40) 및 하부 셀 어레이 블록(60)이 수평/수직 방향으로 배열된다. 복수개의 상부 셀 어레이 블록(40) 및 하부 셀 어레이 블록(60)에서 메인 비트라인 MBL은 컬럼 선택 스위칭부(44)와 일대일 대응하여 연결된다. 복수개의 컬럼 선택 스위칭부(44)는 공통 데이터 버스(50)를 통해 센스앰프 S/A2와 연결된다. 하나의 센스앰프 S/A2는 활성화된 2개의 컬럼 선택 스위칭부(44)로부터 인가되는 셀 데이터를 평균한다.

- <95> 여기서, 수직 방향으로 연결된 상부 셀 어레이 블럭(40) 한개와 하부 셀 어레이 블럭(60) 한개를 동시에 활성화시킬 경우, 활성화된 상부 셀 어레이 블럭(40) 및 하부 셀 어레이 블럭(60)의 각각의 셀들은 공통 데이터 버스(50)를 통해 동일한 데이터를 리드/라이트 한다. 이때, 도 15의 실시예는 도 3에 도시한 바와 같이 2T2C의 셀 구조를 갖는다.
- <96> 도 16은 도 7에 적용되는 4T4C 구조의 셀 어레이를 나타낸 도면이다.
- <97> 도 16의 실시예는 4T4C 구조의 복수개의 상부 셀 어레이 블럭(40) 및 하부 셀 어레이 블럭(60)이 수평/수직 방향으로 배열된다. 복수개의 상부 셀 어레이 블럭(40) 및 하부 셀 어레이 블럭(60)에서 메인 비트라인 MBL은 컬럼 선택 스위칭부(44)와 일대일 대응하여 연결된다. 복수개의 컬럼 선택 스위칭부(44)는 공통 데이터 버스(50)를 통해 센스앰프 S/A3와 연결된다. 하나의 센스앰프 S/A3는 활성화된 4개의 컬럼 선택 스위칭부(44)로부터 인가되는 셀 데이터를 평균한다.
- <98> 여기서, 수평/수직 방향으로 연결된 상부 셀 어레이 블럭(40) 두개와 하부 셀 어레이 블럭(60) 두개를 동시에 활성화시킬 경우, 활성화된 두개의 상부 셀 어레이 블럭(40) 및 두개의 하부 셀 어레이 블럭(60)의 각각의 셀들은 공통 데이터 버스(50)를 통해 동일한 데이터를 리드/라이트 한다. 이때, 도 16의 실시예는 도 5에 도시한 바와 같이 4T4C의 셀 구조를 갖는다.
- <99> 도 17은 도 13의 구성에서 하나의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다.

- <100> 도 17의 실시예는 수평 방향으로 활성화된 두개의 셀 어레이 블록(40) 중에서 하나의 셀 어레이 블록(40)의 메인 비트라인 MBL에만 메인 비트라인 센싱 로드부(42)를 연결한다. 여기서, 메인 비트라인 센싱 로드부(42)는 셀의 특성에 따라 선택적으로 연결할 수 있다.
- <101> 이에 따라, 활성화된 셀 어레이 블록(40)에 연결된 메인 비트라인 센싱 로드부(42)에 따라 센싱 마진의 최대값을 확보함으로써 메인 비트라인 MBL의 전압을 결정할 수 있다.
- <102> 도 18은 도 13의 구성에서 모든 셀 어레이 블록(40)에 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 18의 실시예는 수평 방향으로 활성화된 모든 셀 어레이 블록(40)의 메인 비트라인 MBL에 메인 비트라인 센싱 로드부(42)를 각각 연결한다.
- <103> 도 19는 도 14의 구성에서 하나의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다.
- <104> 도 19의 실시예는 수평 방향으로 활성화된 네개의 셀 어레이 블록(40) 중에서 하나의 셀 어레이 블록(40)의 메인 비트라인 MBL에만 메인 비트라인 센싱 로드부(42)를 연결한다. 여기서, 메인 비트라인 센싱 로드부(42)는 셀의 특성에 따라 선택적으로 연결할 수 있다.
- <105> 이에 따라, 활성화된 셀 어레이 블록(40)에 연결된 메인 비트라인 센싱 로드부(42)에 따라 센싱 마진의 최대값을 확보함으로써 메인 비트라인 MBL의 전압을 결정할 수 있다.
- <106> 도 20은 도 14의 구성에서 두개의 셀 어레이 블록(40)에 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 20의 실시예는 수평 방향으로 활성화된 네개의 셀 어레이 블록(40) 중에서 두개의 셀 어레이 블록(40)의 메인 비트라인 MBL에만 메인 비트라인 센싱 로드부(42)를 연결한다.

- <107> 도 21은 도 14의 구성에서 모든 셀 어레이 블록(40)에 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 21의 실시예는 수평 방향으로 활성화된 모든 셀 어레이 블록(40)의 메인 비트라인 MBL에 메인 비트라인 센싱 로드부(42)를 각각 연결한다.
- <108> 도 22는 도 15의 구성에서 하나의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 22의 실시예는 수직 방향으로 활성화된 두개의 셀 어레이 블록(40,60) 중에서 하나의 상부 셀 어레이 블록(40)의 메인 비트라인 MBL에만 메인 비트라인 센싱 로드부(42)를 연결한다. 여기서, 메인 비트라인 센싱 로드부(42)는 셀의 특성에 따라 선택적으로 연결할 수 있다.
- <109> 이에 따라, 활성화된 상부 셀 어레이 블록(40)에 연결된 메인 비트라인 센싱 로드부(42)에 따라 센싱 마진의 최대값을 확보함으로써 메인 비트라인 MBL의 전압을 결정할 수 있다.
- <110> 도 23은 도 15의 구성에서 두개의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 23의 실시예는 수직 방향으로 활성화된 두개의 셀 어레이 블록(40,60)의 메인 비트라인 MBL에 메인 비트라인 센싱 로드부(42)를 연결한다.
- <111> 도 24는 도 16의 구성에서 하나의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 24의 실시예는 수평/수직 방향으로 활성화된 네개의 셀 어레이 블록(40,60) 중에서 하나의 상부 셀 어레이 블록(40)의 메인 비트라인 MBL에만 메인 비트라인 센싱 로드부(42)를 연결한다.
- <112> 도 25는 도 16의 구성에서 두개의 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 24의 실시예는 수평/수직 방향으로 활성화된 네개의 셀 어레이 블록(40,60) 중에서

두개의 상부 셀 어레이 블록(40)의 메인 비트라인 MBL에 메인 비트라인 센싱 로드부(42)를 연결한다.

<113> 도 26은 도 16의 구성에서 모든 셀 어레이 블록(40,60)에 메인 비트라인 센싱 로드부(42)가 추가된 구조를 나타낸다. 도 26의 실시예는 수직/수평 방향으로 활성화된 모든 셀 어레이 블록(40,60)의 메인 비트라인 MBL에 메인 비트라인 센싱 로드부(42)를 각각 연결한다.

<114> 도 27은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 2비트 기록 레벨을 설명하기 위한 도면이다.

<115> 메모리 셀에 2비트를 저장하기 위해서는 $4(2^2)$ 레벨의 데이터가 필요하다. 즉, 00,01,10,11의 데이터 레벨이 필요하다. 따라서, 4레벨의 데이터를 셀에 저장하기 위해 전압 레벨을 VW1(VPP), VW2, VW3, VW4(VSS)로 구분하여 각각 저장한다.

<116> 2비트 데이터를 셀에 라이트하기 위한 동작 과정을 설명하면 다음과 같다.

<117> 먼저, 플레이트 라인 PL이 접지전압 VSS 레벨인 상태에서 VW1(VPP) 전압으로 모든 셀에 히든 데이터 "1"을 라이트한다.

<118> 다음에, 플레이트 라인 PL에 펌핑전압 VPP가 가해진 상태에서, 데이터 레벨 (10)을 저장하기 위해 서브 비트라인 SBL과 메인 비트라인 MBL에 전압 VW2을 인가한다. 이에 따라, 플레이트 라인 PL과 서브 비트라인 SBL에 전압 VW1-VW2 만큼의 전압이 가해진다. 즉, 처음 셀에 저장된 전하값이 전압 VW1-VW2의 값에 해당되는 전하값 만큼 줄어든다. 따라서, 데이터 레벨 (11)이 데이터 레벨 (10)로 천이한다.

- <119> 이후에, 동일한 방식으로 서브 비트라인 SBL 및 메인 비트라인 MBL에 전압 VW3,VW4을 각각 달리 인가함으로써, 셀에 데이터 레벨 (01) 및 데이터 레벨 (00)을 저장할 수 있게 된다.
- <120> 도 28은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 2비트 센싱 레벨을 설명하기 위한 도면이다.
- <121> 메모리 셀은 서로 상이한 데이터 레벨을 갖는 2비트 데이터를 저장한다. 따라서, 서브 비트라인 SBL을 통해 출력된 셀 데이터의 레벨은 4개의 센싱 전압 레벨을 갖는다.
- <122> 메인 비트라인 MBL에서 센싱된 4개의 데이터 레벨은 11, 10, 01, 00이 된다. 센스앰프 S/A는 이러한 4개의 데이터 레벨을 3개의 레퍼런스 전압 REF의 레벨과 각각 비교 및 증폭한다. 여기서, 레퍼런스 전압 REF(1),REF(2),REF(3)의 전압 레벨은 센스앰프 S/A의 갯수와 동일하다.
- <123> 도 29는 2비트 데이터를 저장하기 위한 센싱 제어부(70)의 상세 구성도이다.
- <124> 복수개의 센싱 제어부(70) 각각은 D/A(Digital/Analog) 변환부(71), 복수개의 센스앰프(72~74), 데이터 디코더(75) 및 데이터 인코더(76)를 구비한다.
- <125> 리드 모드시 센스앰프(72~74)는 공통 데이터 버스(50)로부터 센싱된 복수개의 데이터 레벨을 기준전압 REF 레벨과 비교 및 증폭하여 출력한다. 여기서, 3개의 센스앰프(72~74)는 각각 다른 데이터 레벨을 구분하기 위하여 서로 다른 기준전압 REF(1)~REF(3)이 입력된다. 데이터 인코더(76)는 센스앰프(72~74)로부터 인가되는 복수개의 데이터 레벨을 인코딩하여, 2비트의 데이터를 데이터 입출력 버스 I/O_0,I/O_1에 출력한다.
- <126> 반면에, 라이트 모드시 또는 재저장시에는 데이터 입출력 버스 I/O_0,I/O_1로부터 인가되는 2비트 데이터가 데이터 디코더(75)에 입력된다. 이때, 라이트 모드시에는 데이터 입출력

버스 I/O_0, I/O_1로부터 입력되는 입력 데이터가 데이터 디코더(75)에 입력되고, 재저장시에는 데이터 인코더(76)를 통해 출력된 데이터가 입출력 버스 I/O_0, I/O_1를 통해 데이터 디코더(75)에 피드백 입력된다.

<127> 데이터 디코더(75)는 입력된 2비트 데이터를 디코딩하여 D/A변환부(71)에 출력한다.

D/A변환부(71)는 입력된 2비트 데이터를 D/A변환하여 4개의 데이터 레벨 VW1, VW2, VW3, VW4을 공통 데이터 버스(50)에 출력한다.

<128> 도 30은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 m비트 기록 레벨을 설명하기 위한 도면이다.

<129> 메모리 셀에 m비트를 저장하기 위해서는 2^m 개 레벨(n개)의 데이터가 필요하다. 즉, (00..00), (00..01), ..., (11..10), (11..11)의 데이터 레벨이 필요하다. 따라서, 2^m 개 레벨의 데이터를 셀에 저장하기 위해 전압 레벨을 n개 즉, VW1(VPP), VW2~VWm, VWn(VSS)으로 구분하여 각각 저장한다.

<130> m비트 데이터를 셀에 라이트하기 위한 동작 과정을 설명하면 다음과 같다.

<131> 먼저, 플레이트 라인 PL이 접지전압 VSS 레벨인 상태에서 VW1(VPP) 전압으로 모든 셀에 히든 데이터 "1"을 라이트한다.

<132> 다음에, 플레이트 라인 PL에 펌핑전압 VPP가 가해진 상태에서, 데이터 레벨 (11..10)을 저장하기 위해 서브 비트라인 SBL과 메인 비트라인 MBL에 전압 VW2을 인가한다. 이에 따라, 플레이트 라인 PL과 서브 비트라인 SBL에 전압 VW1-VW2 만큼의 전압이 가해진다. 즉, 처음 셀에 저장된 전하값이 전압 VW1-VW2의 값에 해당되는 전하값 만큼 줄어든다. 따라서, 데이터 레벨 (11..11)이 데이터 레벨 (11..10)으로 천이한다.

- <133> 이후에, 동일한 방식으로 서브 비트라인 SBL 및 메인 비트라인 MBL에 전압 VW3~VWn을 각각 달리 인가함으로써, 셀에 복수개의 데이터 레벨을 저장할 수 있게 된다.
- <134> 도 31은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 m비트 센싱 레벨을 설명하기 위한 도면이다.
- <135> 메모리 셀은 서로 상이한 데이터 레벨을 갖는 복수개의 데이터를 저장한다. 따라서, 서브 비트라인 SBL을 통해 출력된 셀 데이터의 레벨은 2^m 개의 센싱 전압 레벨을 갖는다.
- <136> 메인 비트라인 MBL에서 센싱된 2^m 개의 데이터 레벨은 (00...00), (00...01), ..., (11...10), (11...11)이 된다. 센스앰프 S/A는 이러한 m개의 데이터 레벨을 2^m-1 개(x개)의 레퍼런스 전압 REF의 레벨과 각각 비교 및 증폭한다. 여기서, 레퍼런스 전압 REF(1)~REF(x)의 전압 레벨은 센스앰프 S/A의 갯수와 동일하다.
- <137> 도 32는 m비트 데이터를 저장하기 위한 센싱 제어부(80)의 상세 구성도이다.
- <138> 센싱 제어부(80)는 D/A(Digital/Analog) 변환부(81), 복수개의 센스앰프(82~86), 데이터 디코더(87) 및 데이터 인코더(88)를 구비한다.
- <139> 리드 모드시 센스앰프(82~86)는 공통 데이터 버스(50)로부터 센싱된 복수개의 데이터 레벨을 복수개의 기준전압 REF 레벨과 비교 및 증폭하여 출력한다. 여기서, 2^m-1 개(x개)의 센스앰프(82~86)는 각각 다른 데이터 레벨을 구분하기 위하여 서로 다른 기준전압 REF(1)~REF(x)이 입력된다. 데이터 인코더(88)는 센스앰프(82~86)로부터 인가되는 복수개의 데이터 레벨을 인코딩하여, m비트의 데이터를 데이터 입출력 버스 I/O_0~I/O_m에 출력한다.
- <140> 반면에, 라이트 모드시 또는 재저장시에는 데이터 입출력 버스 I/O_0~I/O_m로부터 인가되는 m비트 데이터가 데이터 디코더(87)에 입력된다. 이때, 라이트 모드시에는 데이터 입출력

버스 I/O₀~I/O_m로부터 입력되는 입력 데이터가 데이터 디코더(87)에 입력되고, 재저장시에는 데이터 인코더(88)를 통해 출력된 데이터가 입출력 버스 I/O₀~I/O_m를 통해 데이터 디코더(87)에 피드백 입력된다.

- <141> 데이터 디코더(87)는 입력된 m비트 데이터를 디코딩하여 D/A변환부(81)에 출력한다.
D/A변환부(81)는 입력된 m비트 데이터를 D/A변환하여 2^m개(n개)의 데이터 레벨 VW₁~VW_n을 공통 데이터 버스(50)에 출력한다.
- <142> 도 33은 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 라이트 모드시 동작 타이밍도이다.
- <143> 먼저, t₁구간의 진입시 칩 선택 신호 CSB 및 라이트 인에이블 신호 /WE가 로우로 디스에이블 되면, 라이트 모드 액티브 상태가 된다. 이때, 서브 비트라인 풀다운 신호 SBPD 및 메인 비트라인 제어신호 MBLC가 로우로 디스에이블된다. 그리고, 메인 비트라인 풀업 제어신호 MBLPUC가 하이로 인에이블된다.
- <144> 이후에, t₂구간의 진입시 워드라인 WL 및 플레이트 라인 PL이 펄핑전압 VPP 레벨로 인에이블되면 서브 비트라인 SBL의 전압 레벨이 상승한다. 그리고, 컬럼 선택 신호 CSN가 인에이블되어 메인 비트라인 MBL과 공통 데이터 버스(50)가 연결된다.
- <145> 다음에, 데이터 센싱 구간인 t₃ 구간의 진입시 센스앰프 인에이블 신호 SEN가 인에이블되어 메인 비트라인 MBL에 셀 데이터가 인가된다.
- <146> 이후에, t₄ 구간의 진입시 플레이트 라인 PL이 로우로 디스에이블되고, 서브 비트라인 선택 신호 SBSW2가 하이로 인에이블된다. 그리고, 서브 비트라인 SBL 및 컬럼 선택 신호 CSN가 로우로 디스에이블된다.

- <147> t5구간에서는 히든 데이터 "1"을 기록한다. t5구간의 진입시 워드라인 WL 전압이 상승하고, 서브 비트라인 풀업 신호 SBPU신호의 인에이블에 따라 서브 비트라인 선택신호 SBSW2가 펌핑전압 VPP 레벨로 인에이블 된다. 이에 따라, 서브 비트라인 SBL의 전압 레벨이 펌핑전압 VPP 레벨로 상승한다.
- <148> 이때, 컬럼 선택 신호 CSN이 로우 레벨인 t4,t5구간 동안에는 공통 데이터 버스(50)로부터 인가되는 데이터와 무관하게 메인 비트라인 제어신호 MBLC에 따라 메인 비트라인 MBL을 전원전압 VCC로 풀업시킨다.
- <149> 다음에, t6 구간에서는 라이트 인에이블 신호 /WE의 인에이블에 따라 멀티 레벨의 데이터를 기록할 수 있다. t6구간의 진입시 플레이트 라인 PL이 다시 하이로 인에이블된다. 그리고, 서브 비트라인 선택 신호 SBSW1가 펌핑전압 VPP 레벨로 상승하고, 서브 비트라인 선택 신호 SBSW2가 디스에이블된다. 이때, 메인 비트라인 제어신호 MBLC 및 컬럼 선택 신호 CSN가 하이로 인에이블된다.
- <150> 따라서, 서브 비트라인 선택 신호 SBSW1가 펌핑전압 VPP 레벨인 구간동안, 서브 비트라인 SBL 및 메인 비트라인 MBL에 인가되는 멀티 전압 VW~VW4 레벨에 따라 복수개의 데이터를 메모리 셀에 기록할 수 있다.
- <151> 이후에, t7 구간의 진입시 워드라인 WL, 플레이트 라인 PL, 서브 비트라인 선택 신호 SBSW1 및 서브 비트라인 풀업 신호 SBPU가 디스에이블된다. 그리고, 서브 비트라인 풀다운 신호 SBPD가 인에이블되고, 센스앰프 인에이블 신호 SEN가 디스에이블된다. 또한, 메인 비트라인 풀업 제어신호 MBLPUC가 디스에이블되어 메인 비트라인 MBL을 전원전압 VCC 레벨로 프리차지 한다. 이때, 컬럼 선택 신호 CSN가 디스에이블되어 메인 비트라인 MBL 및 공통 데이터 버스(50)의 연결을 차단한다.

- <152> 도 34는 본 발명에 따른 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치의 리드 모드시 동작 타이밍도이다.
- <153> 먼저, 리드 모드시에는 라이트 인에이블 신호 /WE가 전원전압 VCC 레벨을 유지한다. 그리고, t2, t3 구간은 데이터 센싱 구간이다. 또한, t5구간에서는 히든 데이터 "1"을 기록하고, t5 구간 이후에 데이터 출력 유효 구간을 유지한다.
- <154> 이때, 셀 어레이 블럭(40)은 공통 데이터 버스(50)를 통해 외부로부터 입력되는 입력 데이터를 셀에 기록하는 것이 아니라 타이밍 데이터 레지스터 어레이부(30)에 저장된 리드 데이터를 다시 셀에 재저장한다.
- <155> 이후에, t6구간에서는 복수개의 멀티플 레벨 데이터를 재저장한다. 즉, 서브 비트라인 선택 신호 SBSW1가 하이 레벨일 구간 동안에 피드백 디코더 루프에 의해 서브 비트라인 SBL 및 메인 비트라인 MBL에 각각 멀티플 레벨의 전압 VW~VW4을 인가한다. 이에 따라, 메모리 셀에 멀티플 레벨이 재저장된다.
- <156> 그리고, t6구간동안 셀 어레이 블럭(40)에 저장된 복수개의 데이터 레벨을 센싱하여 공통 데이터 버스(50)를 통해 출력할 수 있게 된다.

【발명의 효과】

- <157> 이상에서 설명한 바와 같이, 본 발명은 다음과 같은 효과를 제공한다.
- <158> 첫째, 선택된 복수개의 셀의 평균 특성을 이용하여 안정적이고 분포가 작은 데이터의 센싱값을 얻을 수 있도록 한다.
- <159> 둘째, 두개 이상의 셀을 동시에 선택하여 안정화된 전하값에 따라 복수개의 비트를 셀에 리드/라이트 함으로써 칩의 동작 속도를 향상시킬 수 있도록 한다.

【특허청구범위】**【청구항 1】**

복수개의 비트라인에 연결되어 동시에 활성화되는 복수개의 메모리 셀;

상기 복수개의 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치;

상기 복수개의 컬럼 선택 스위치와 공통 연결된 공통 데이터 버스; 및

상기 공통 데이터 버스를 통해 인가되는 평균화된 데이터의 전압레벨과 기준전압 레벨을 비교 및 증폭하는 센스앰프를 구비하고,

상기 복수개의 컬럼 선택 스위치로부터 각각 인가되는 복수개의 데이터는 각각의 전하값이 평균화되어 상기 평균화된 데이터의 전압레벨이 상기 공통 데이터 버스에 출력됨을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 2】

제 1 항에 있어서,

상기 복수개의 데이터는 모두 동일한 데이터임을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 3】

제 1 항에 있어서,

상기 복수개의 메모리 셀 각각은 스위칭 소자와 불휘발성 강유전체 캐패시터를 구비하고, 상기 스위칭 소자는 비트라인과 상기 불휘발성 강유전체 캐패시터의 제 1전극 사이에 연결되어 게이트 단자가 워드라인과 연결되며, 상기 불휘발성 강유전체 캐패시터의 제 2전극은 플레

이트 라인과 연결됨을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 4】

복수개의 메인 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치를 각각 구비하고, 수평 방향으로 배열되어 동시에 활성화되는 복수개의 셀 어레이 블록;

상기 복수개의 셀 어레이 블록과 공통 연결된 공통 데이터 버스; 및

상기 공통 데이터 버스를 통해 인가되는 복수개의 평균화된 데이터의 전압레벨과 서로 다른 기준전압 레벨을 비교 및 증폭하여, 전압 레벨이 상이한 멀티 비트 데이터를 각각 출력하는 복수개의 센스앰프를 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 5】

제 4 항에 있어서,

상기 복수개의 셀 어레이 블록으로부터 각각 인가되는 복수개의 데이터는 각각의 전하값이 평균화되어 상기 복수개의 평균화된 데이터의 전압레벨이 상기 공통 데이터 버스에 출력됨을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 6】

제 5 항에 있어서,

상기 복수개의 셀 어레이 블록으로부터 하나의 센스앰프에 인가되는 상기 복수개의 데이터는 모두 동일한 데이터임을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 7】

제 4 항에 있어서, 상기 복수개의 셀 어레이 블록 각각은

메인 비트라인 제어신호에 의해 상기 복수개의 메인 비트라인에 전원전압을 선택적으로 공급하여 메인 비트라인의 센싱 로드를 제어하는 복수개의 메인 비트라인 센싱 로드부를 더 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 8】

제 4 항에 있어서, 상기 복수개의 셀 어레이 블록 각각은

라이트 모드시 m 비트의 데이터를 기록하기 위해 2^m 개의 서로 다른 라이트 전압을 메모리 셀에 인가함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 9】

제 4 항에 있어서, 상기 복수개의 센스앰프 각각은

리드 모드시 m 비트의 데이터를 센싱할 경우, 상기 복수개의 평균화된 데이터의 전압레벨과 2^m-1 개의 상기 서로 다른 기준전압 레벨을 비교 및 증폭함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 10】

제 4 항에 있어서,

서로 다른 복수개의 데이터 레벨을 갖는 상기 멀티 비트 데이터를 인코딩하여, n 비트 데이터를 데이터 입출력 버스에 출력하는 데이터 인코더;

상기 데이터 입출력 버스로부터 인가되는 n 비트 데이터를 디코딩하는 데이터 디코더; 및

상기 데이터 디코더에서 디코딩된 데이터의 전압 레벨을 복수개의 전압 레벨로 변환하여 상기 공통 데이터 버스부에 출력하는 디지털/아날로그 변환부를 더 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 11】

복수개의 메인 비트라인과 일대일 대응하여 연결된 복수개의 컬럼 선택 스위치를 각각 구비하고, 수평 및 수직 방향으로 배열되어 동시에 활성화되는 복수개의 셀 어레이 블록;

상기 복수개의 셀 어레이 블록과 공통 연결된 공통 데이터 버스;

상기 공통 데이터 버스를 기준으로 하여 수직으로 대응되는 상기 복수개의 셀 어레이 블록으로부터 인가되는 복수개의 평균화된 데이터의 전압레벨과 서로 다른 기준전압 레벨을 비교 및 증폭하여, 전압 레벨이 상이한 멀티 비트 데이터를 각각 출력하는 복수개의 센스앰프를 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 12】

제 11 항에 있어서,

상기 복수개의 셀 어레이 블록으로부터 각각 인가되는 복수개의 데이터는 각각의 전하값이 평균화되어 상기 복수개의 평균화된 데이터의 전압레벨이 상기 공통 데이터 버스에 출력됨을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 13】

제 11 항에 있어서,

상기 복수개의 셀 어레이 블록으로부터 하나의 센스앰프에 인가되는 상기 복수개의 데이터는 모두 동일한 데이터임을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 14】

제 11 항에 있어서, 상기 복수개의 셀 어레이 블록 각각은

메인 비트라인 제어신호에 의해 상기 복수개의 메인 비트라인에 전원전압을 선택적으로 공급하여 메인 비트라인의 센싱 로드를 제어하는 복수개의 메인 비트라인 센싱 로드부를 더 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 15】

제 11 항에 있어서, 상기 복수개의 셀 어레이 블록 각각은

라이트 모드시 m비트의 데이터를 기록하기 위해 2^m개의 서로 다른 라이트 전압을 메모리 셀에 순차적으로 인가함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 16】

제 11 항에 있어서, 상기 복수개의 센스앰프 각각은

리드 모드시 m비트의 데이터를 센싱할 경우, 상기 복수개의 평균화된 데이터의 전압레벨과 2^m-1개의 상기 서로 다른 기준전압 레벨을 비교 및 증폭함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【청구항 17】

제 11 항에 있어서,

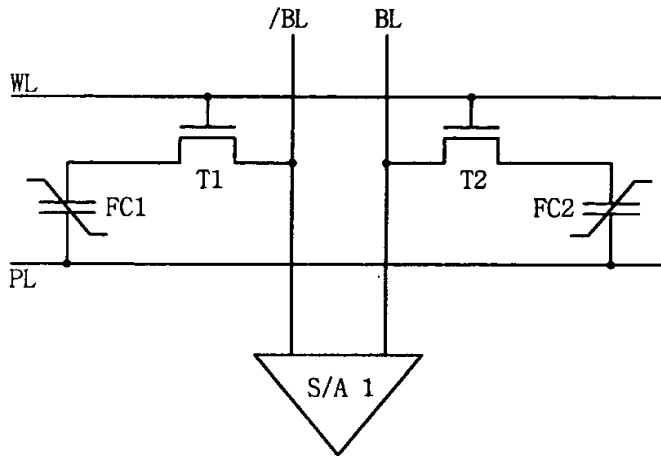
서로 다른 복수개의 데이터 레벨을 갖는 상기 멀티 비트 데이터를 인코딩하여, n비트 데이터를 데이터 입출력 버스에 출력하는 데이터 인코더;

상기 데이터 입출력 버스로부터 인가되는 n비트 데이터를 디코딩하는 데이터 디코더; 및

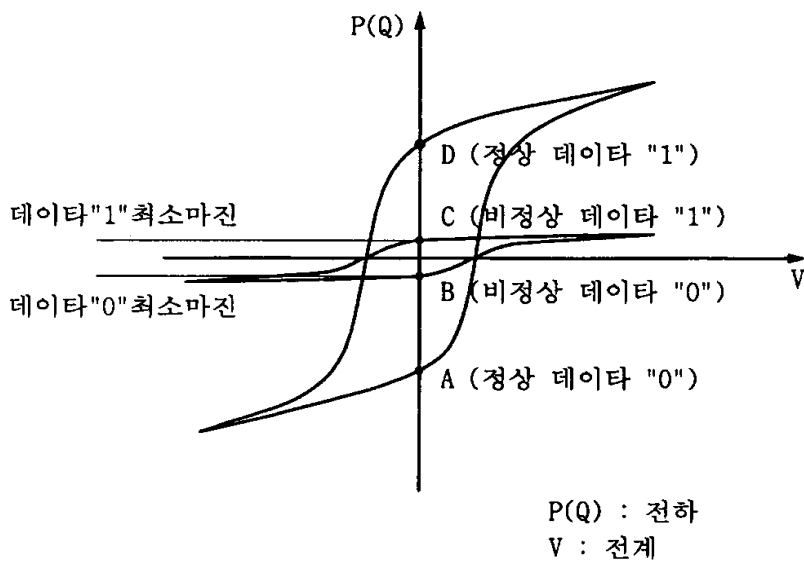
상기 데이터 디코더에서 디코딩된 데이터의 전압 레벨을 복수개의 전압 레벨로 변환하여 상기 공통 데이터 버스부에 출력하는 디지털/아날로그 변환부를 더 구비함을 특징으로 하는 멀티비트 제어 기능을 갖는 불휘발성 강유전체 메모리 장치.

【도면】

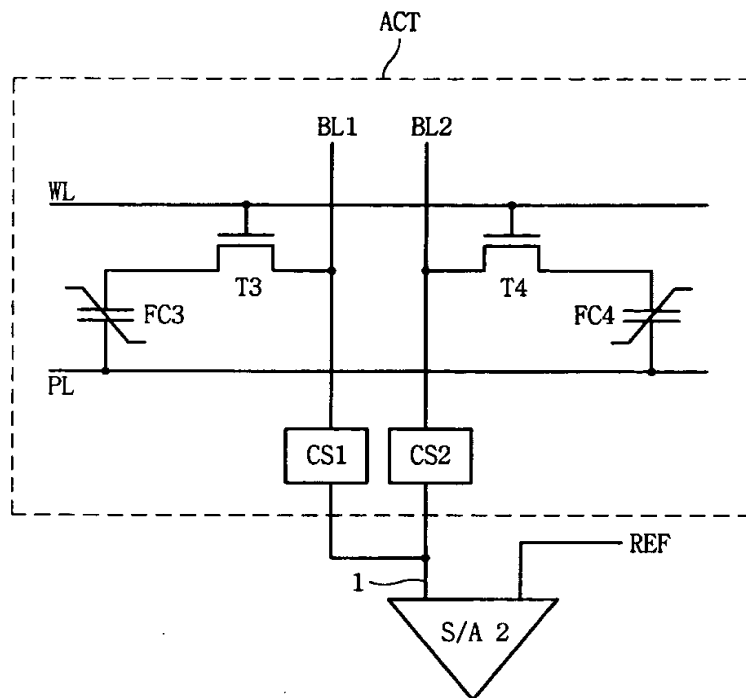
【도 1】



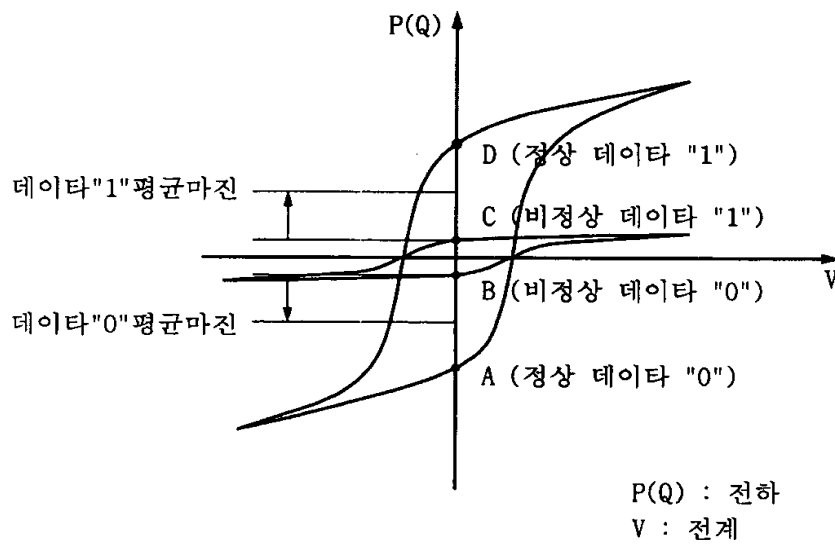
【도 2】



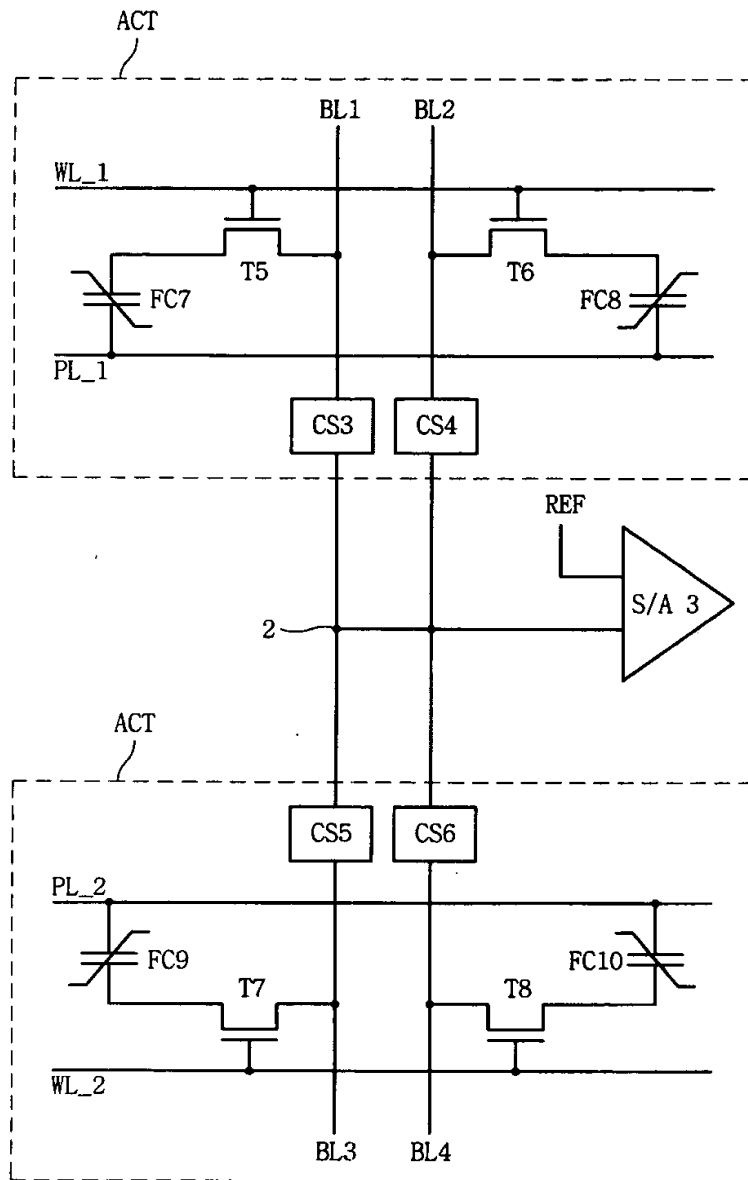
【도 3】



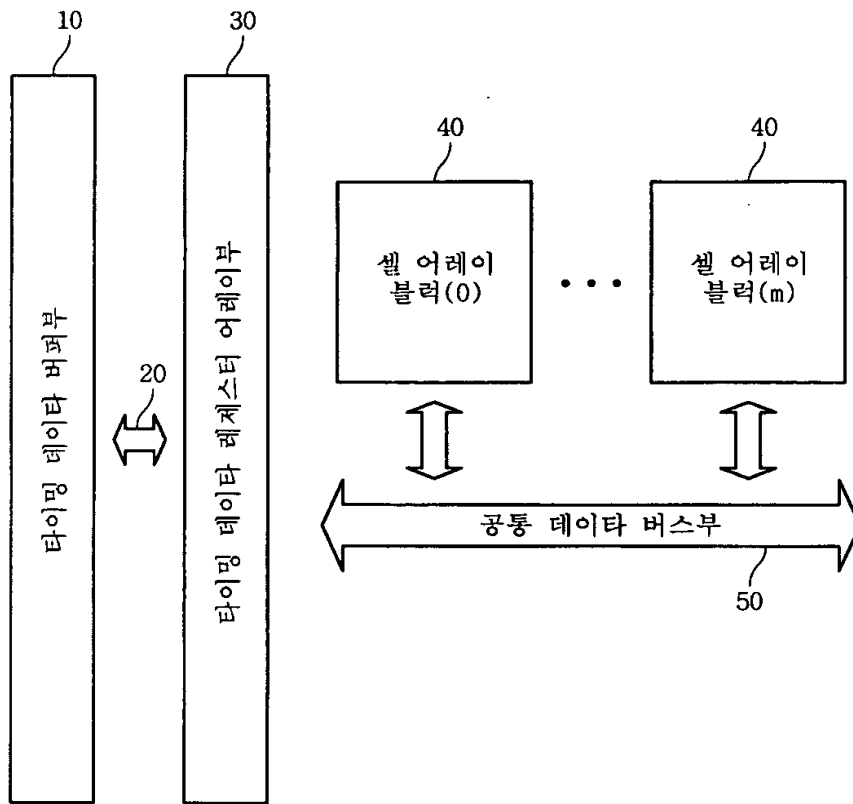
【도 4】



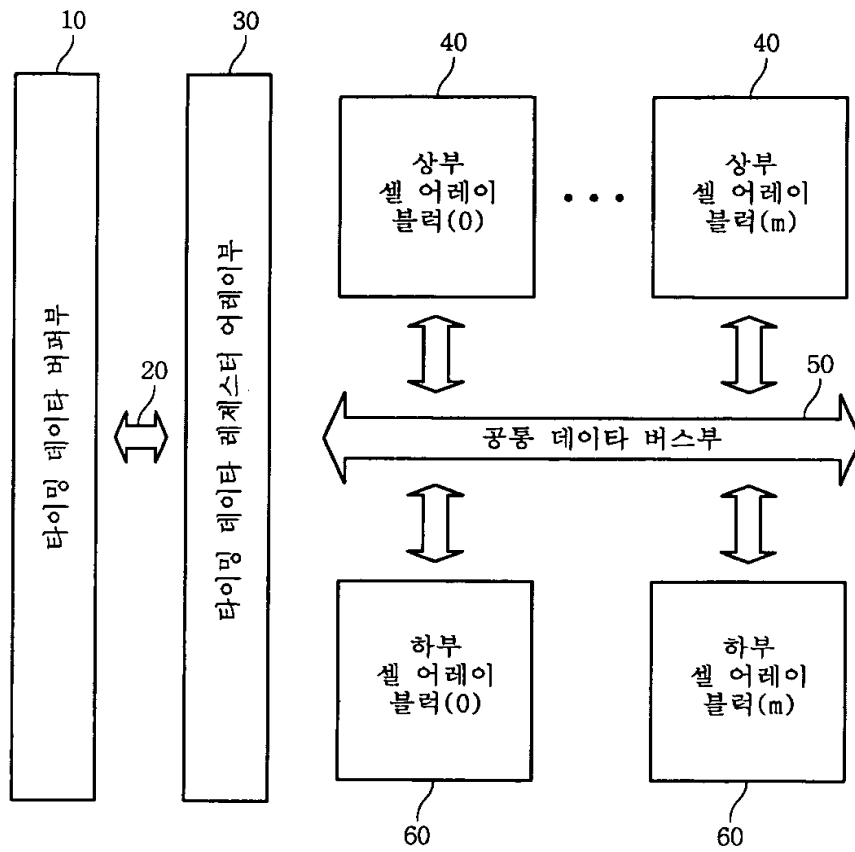
【도 5】



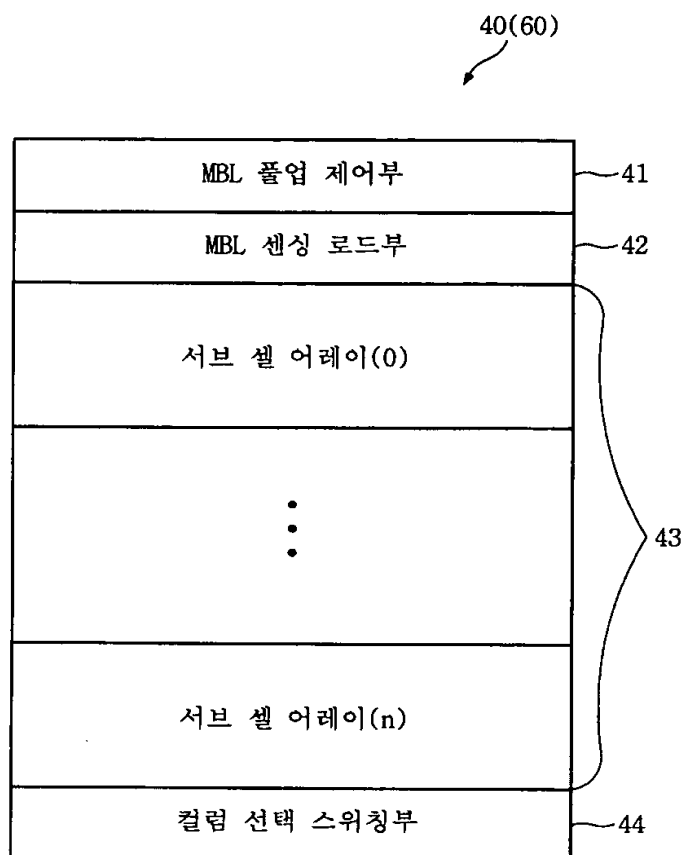
【도 6】



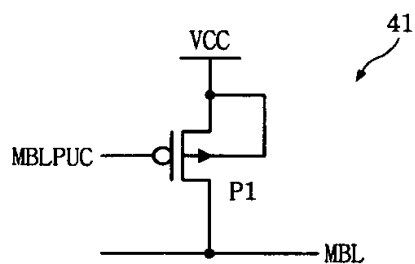
【도 7】



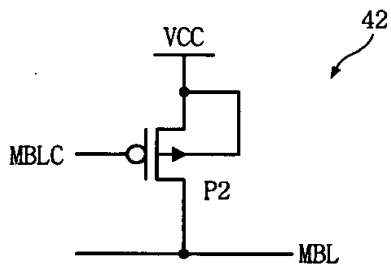
【도 8】



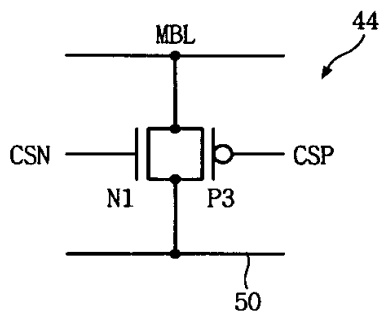
【도 9】



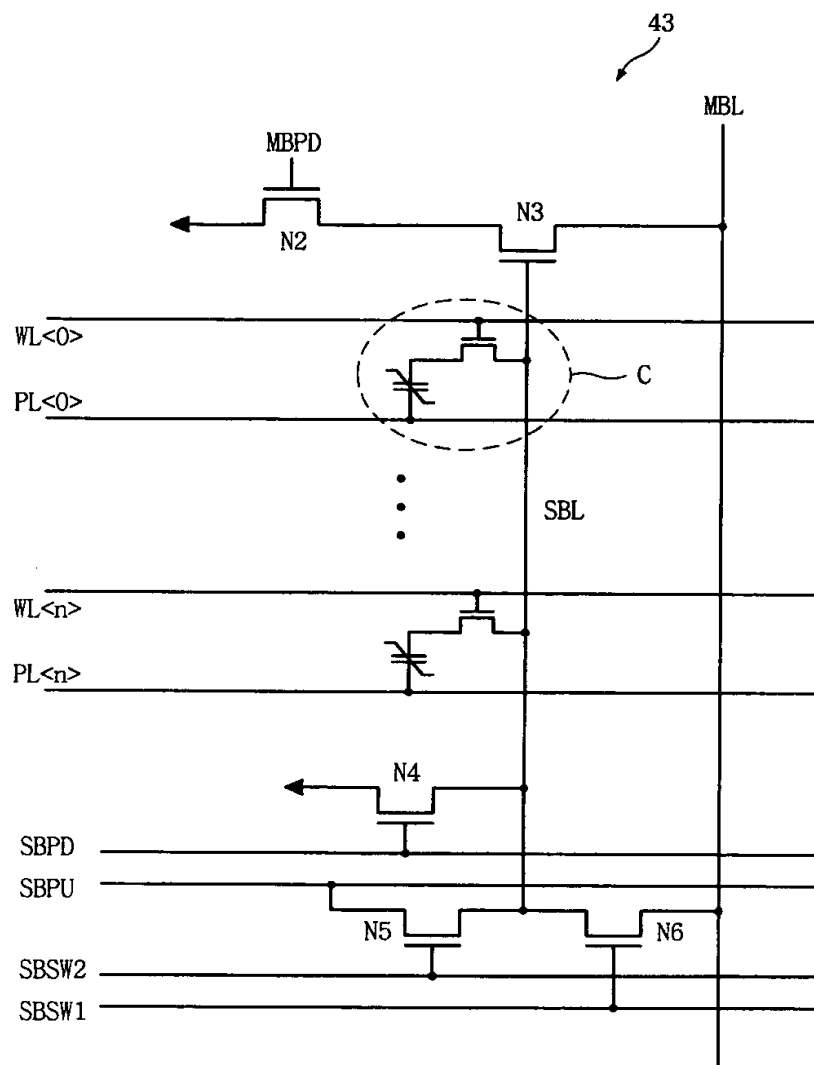
【도 10】



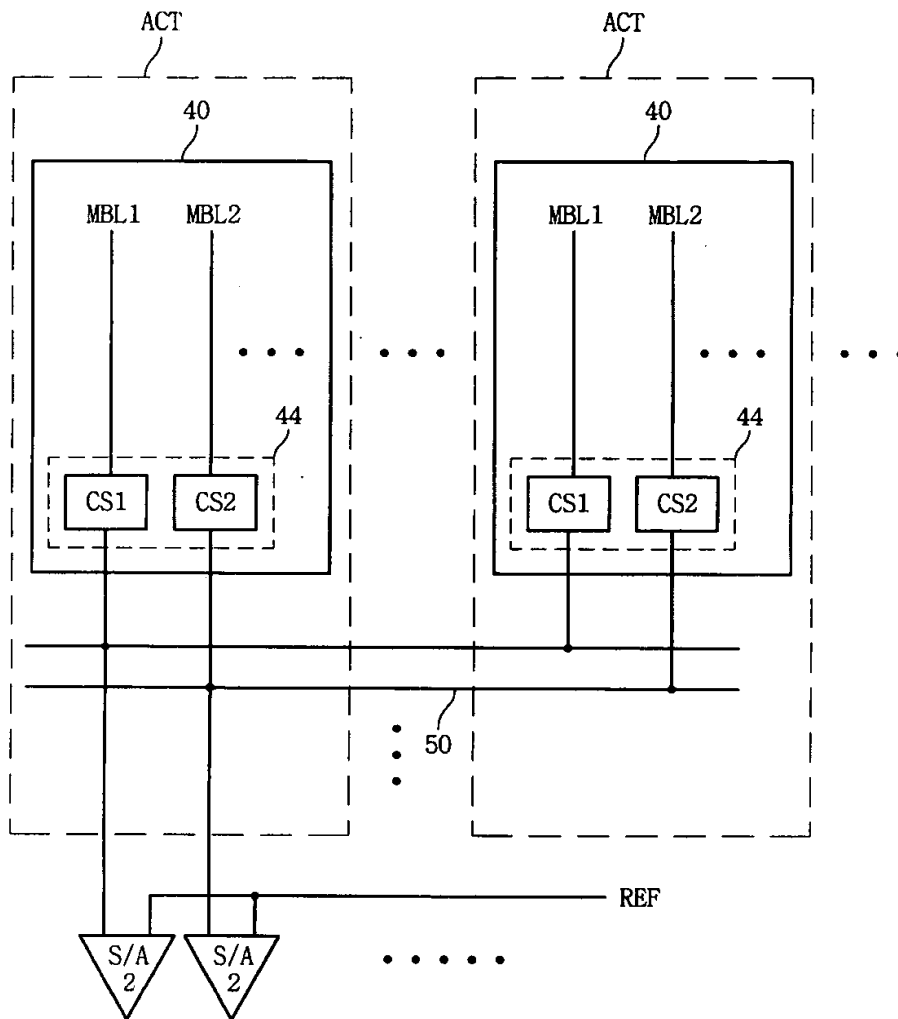
【도 11】



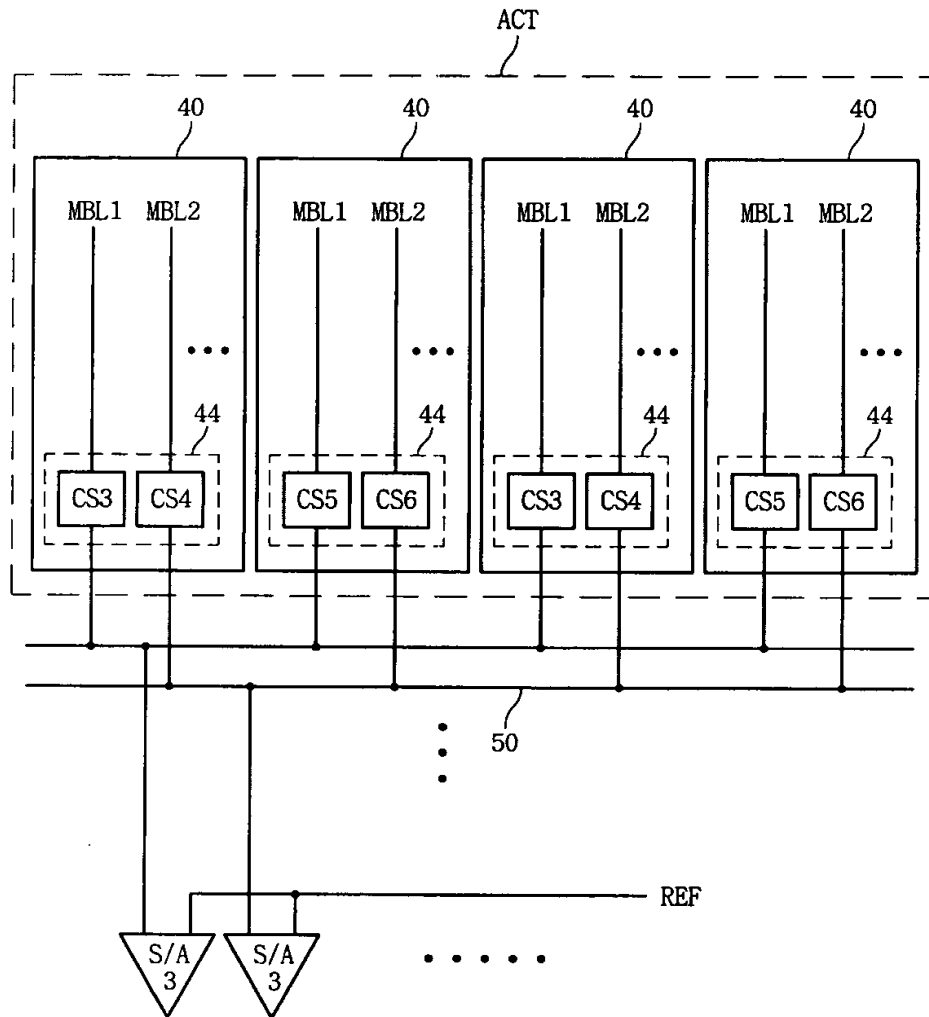
【도 12】



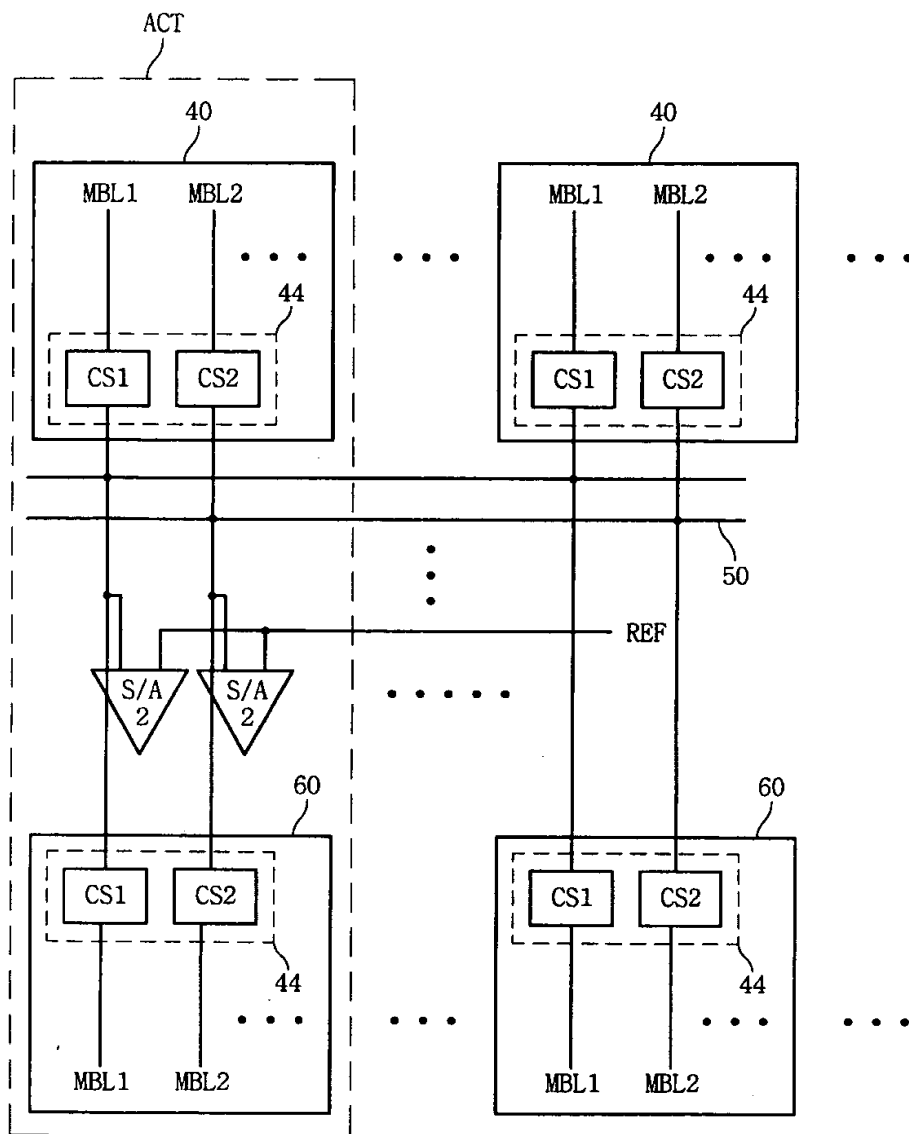
【도 13】



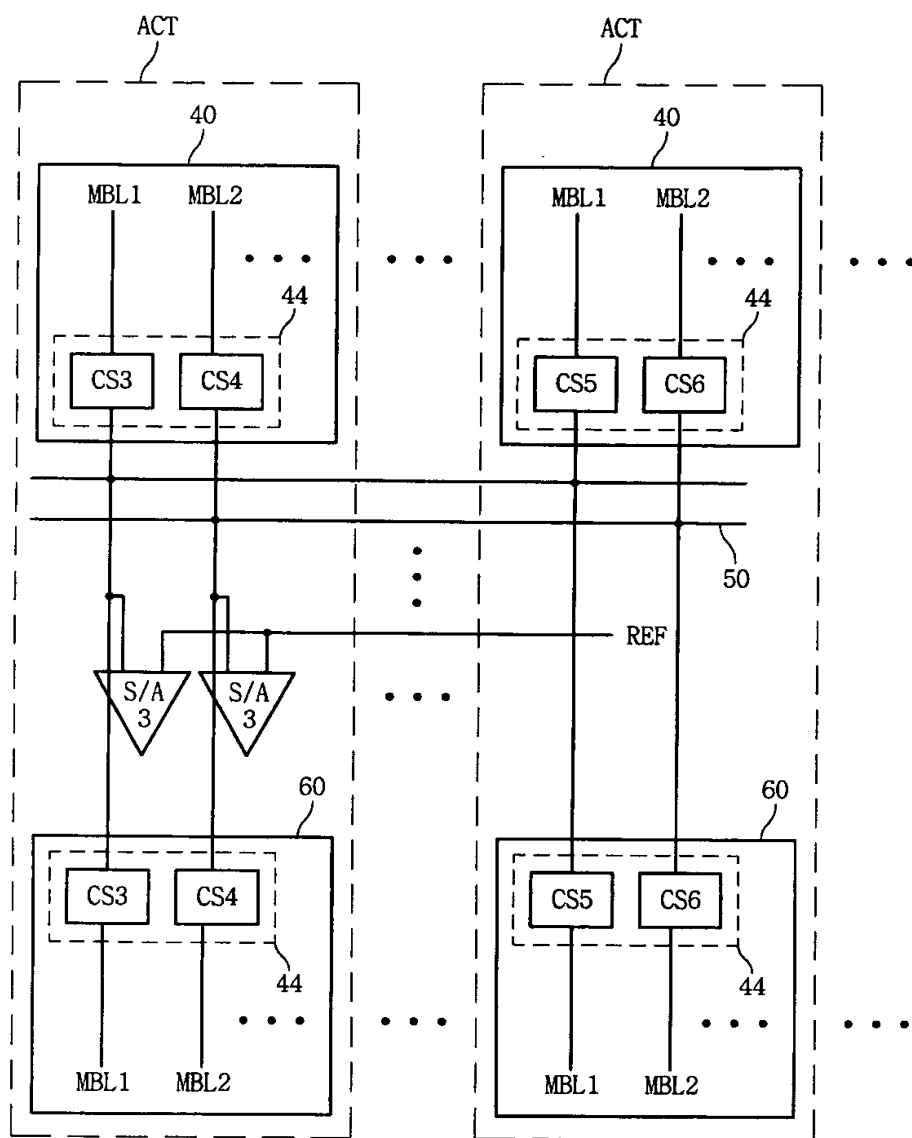
【도 14】



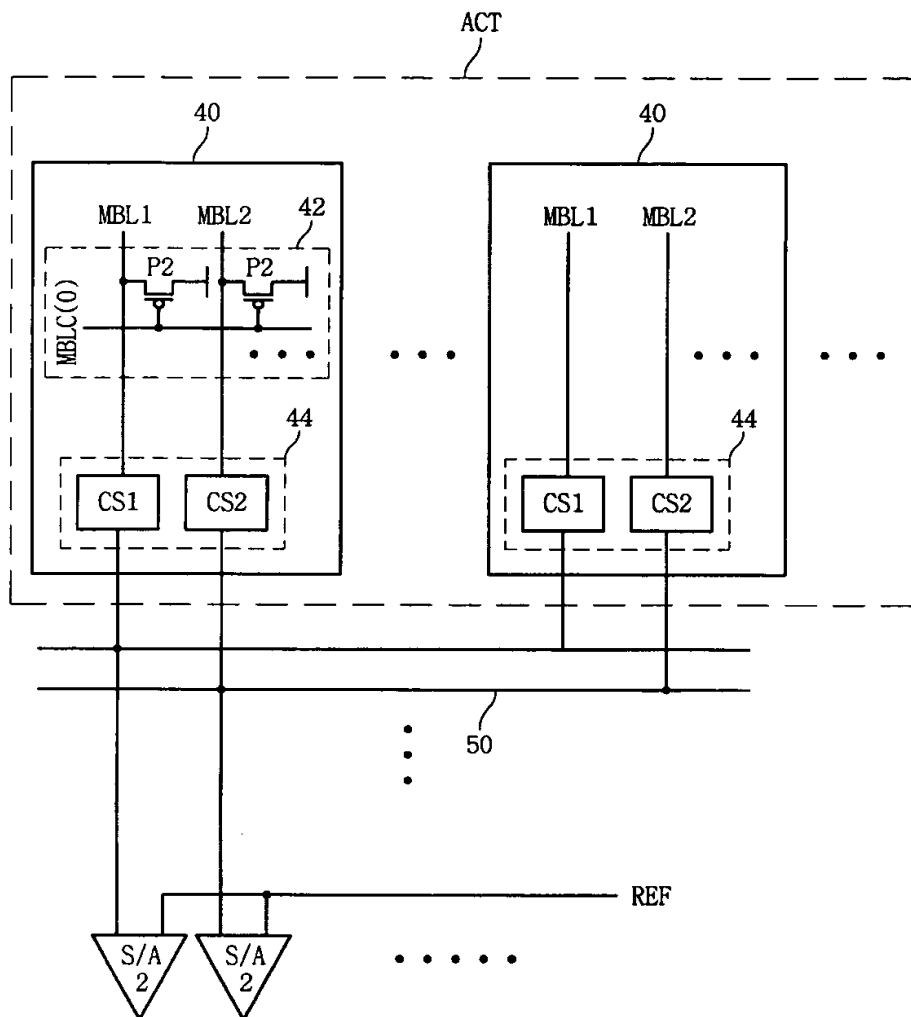
【도 15】



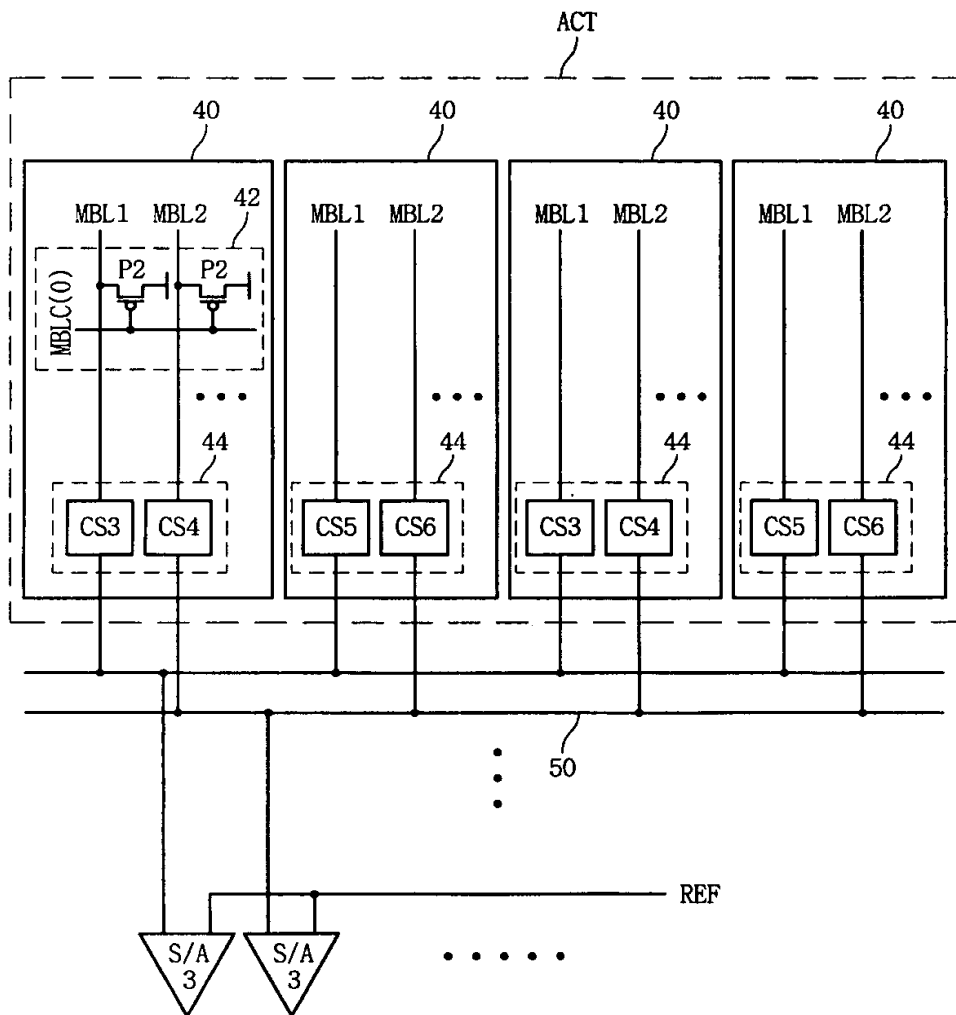
【도 16】



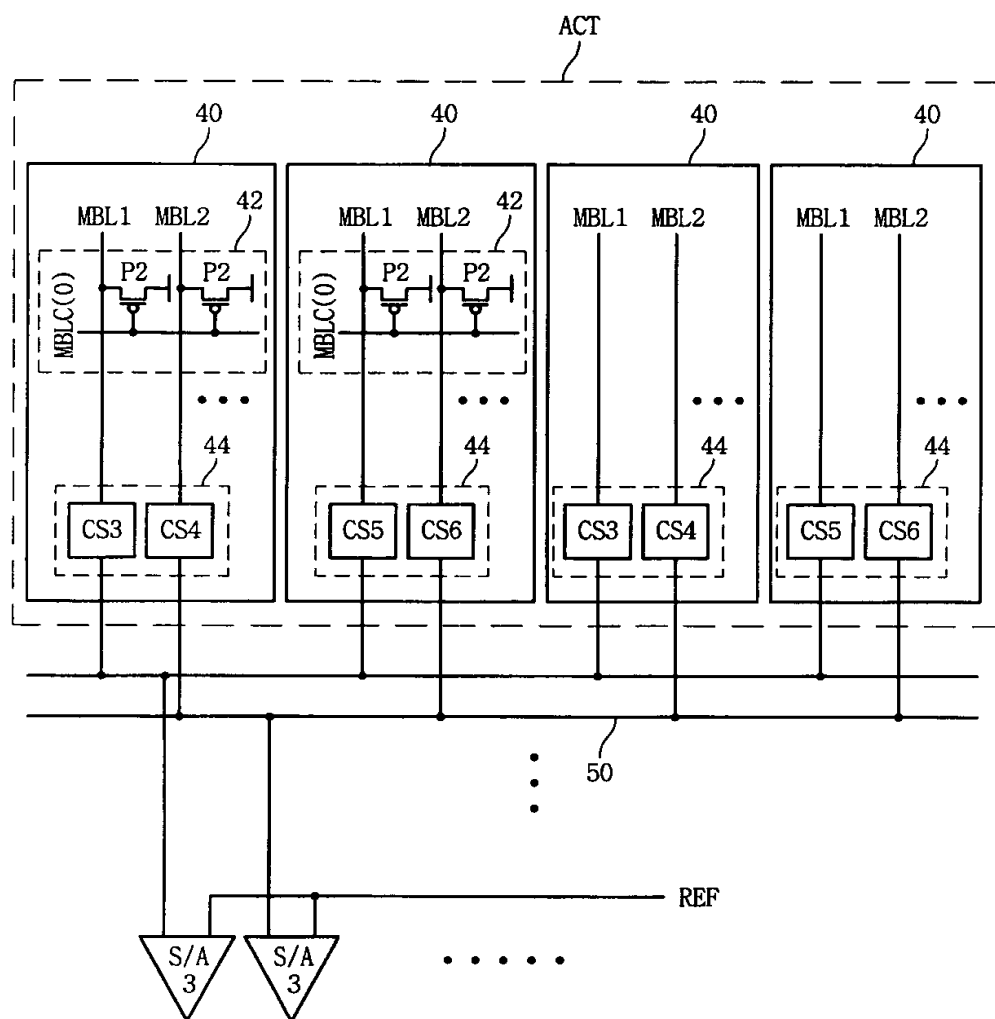
【도 17】



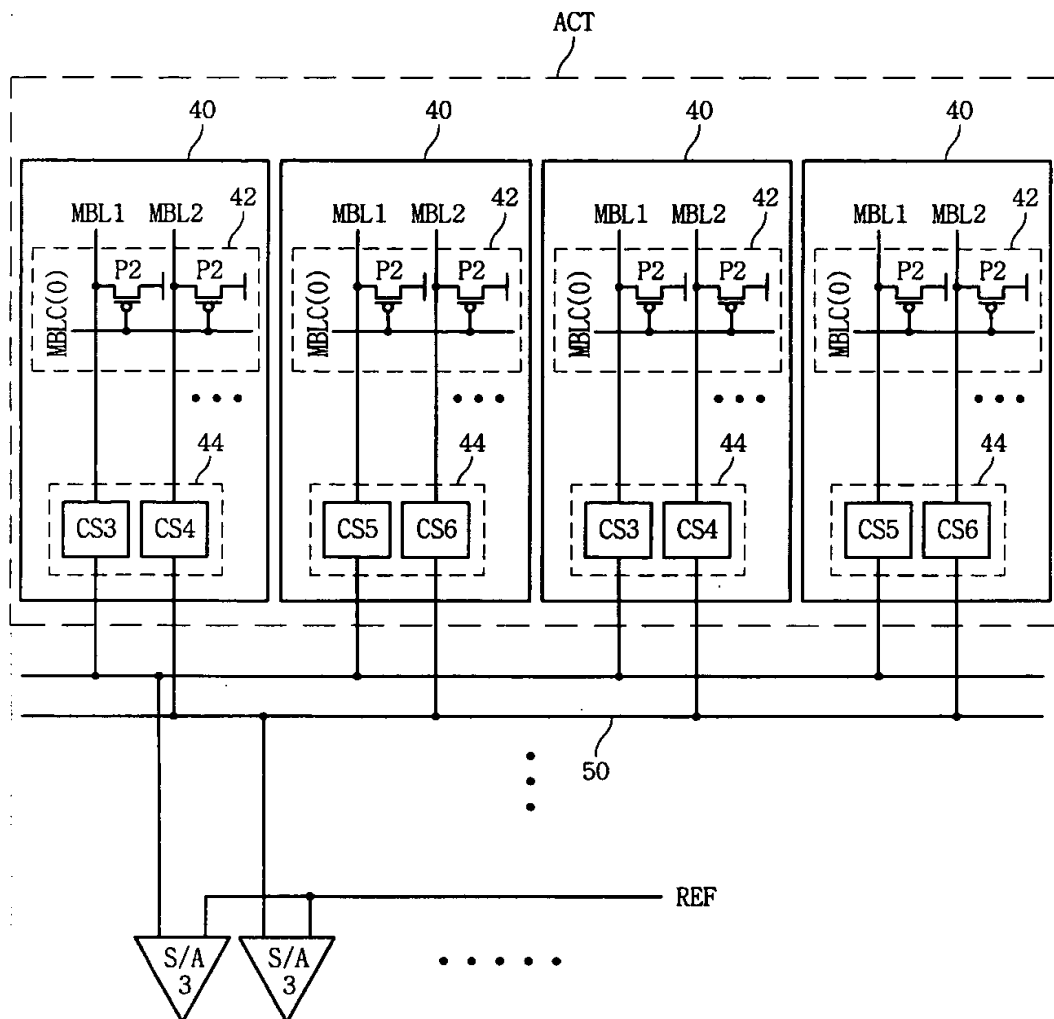
【도 19】



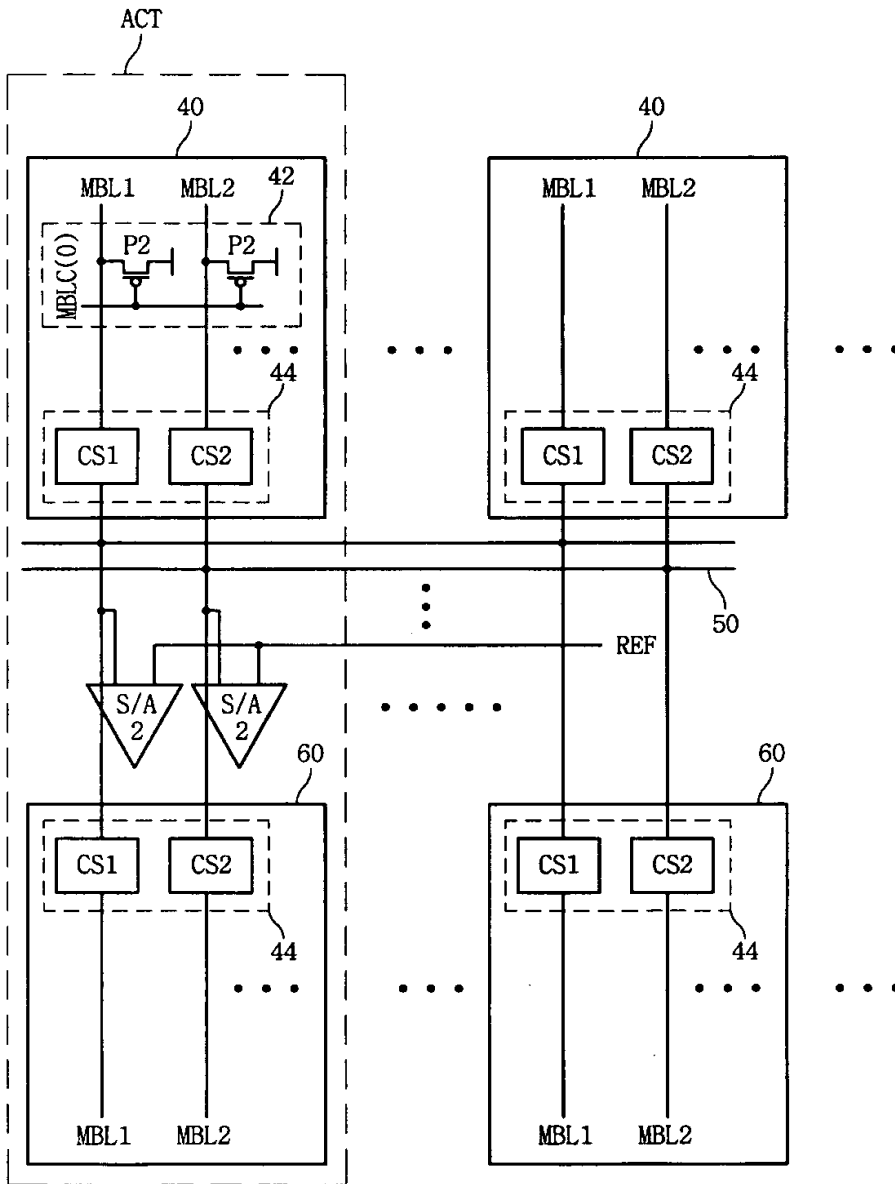
【도 20】



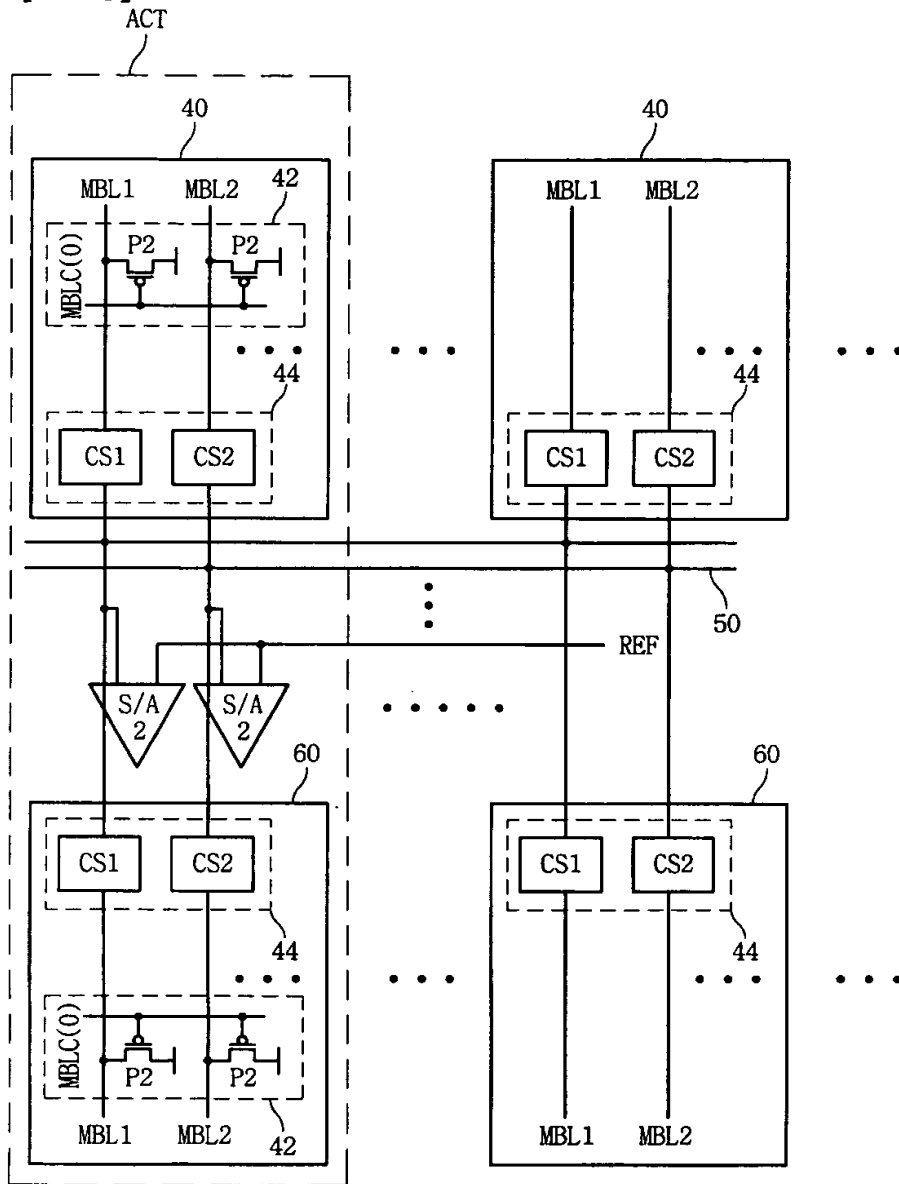
【도 21】



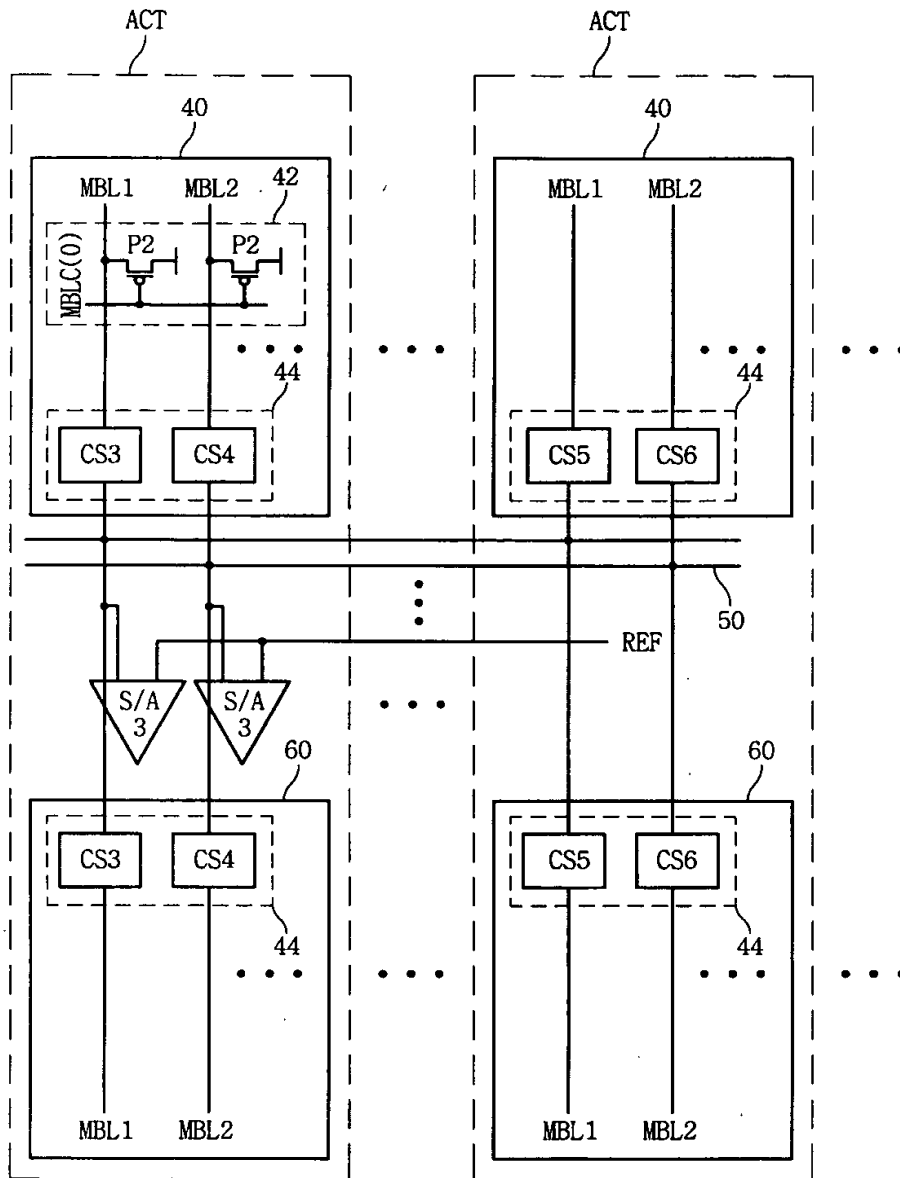
【도 22】



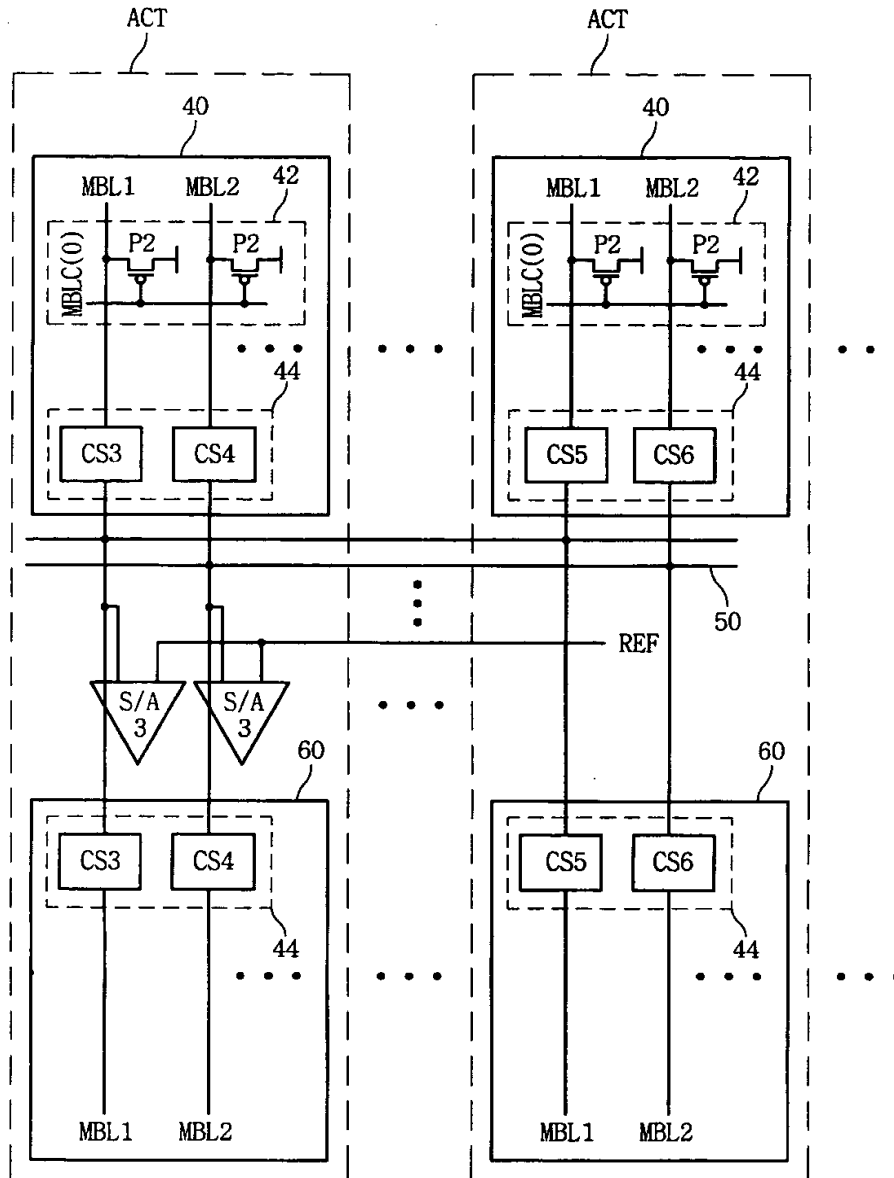
【도 23】



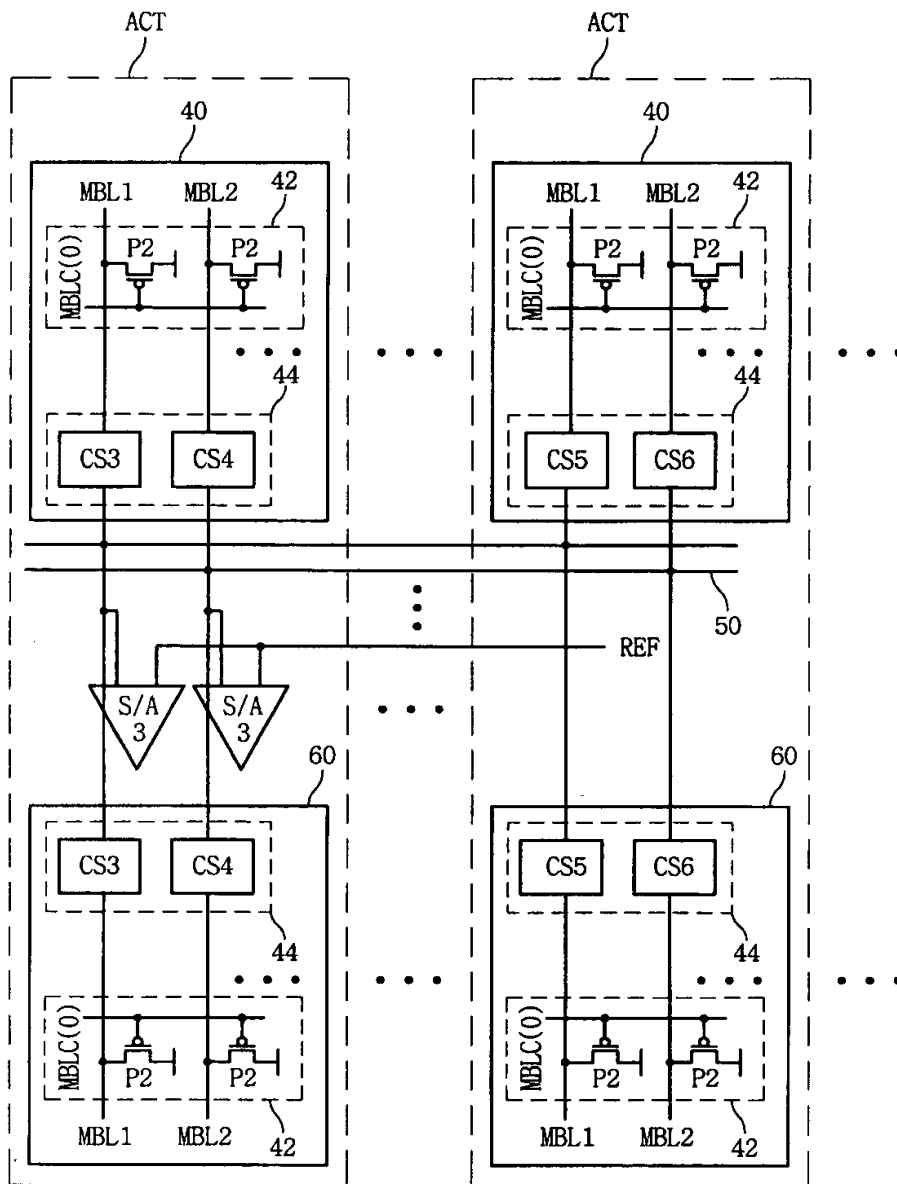
【도 24】



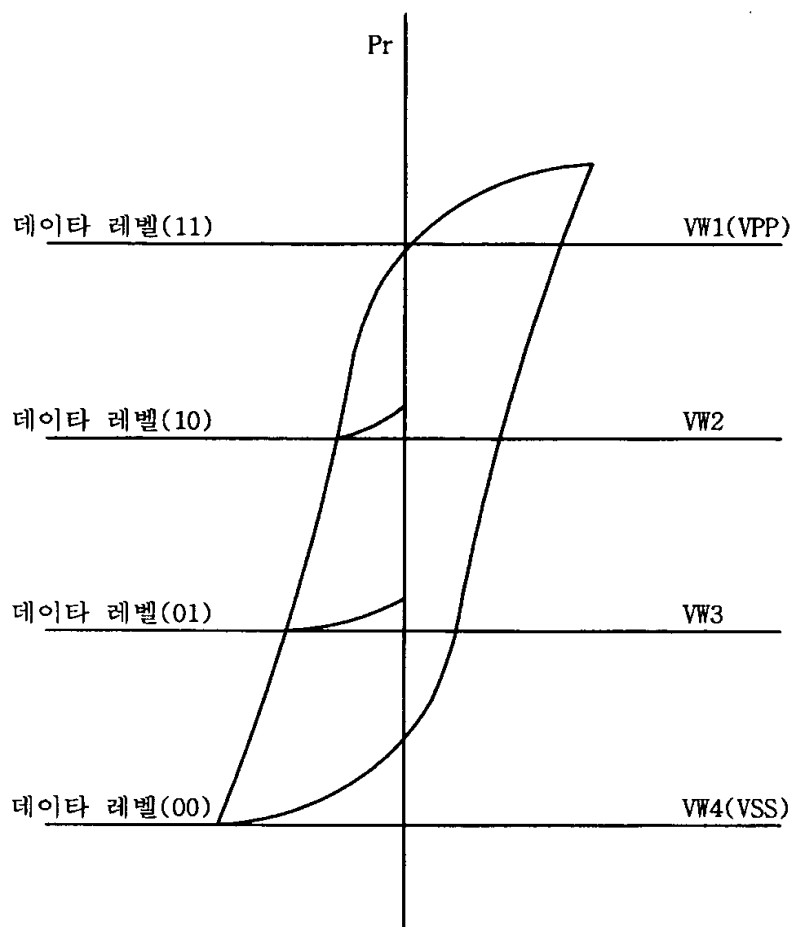
【도 25】



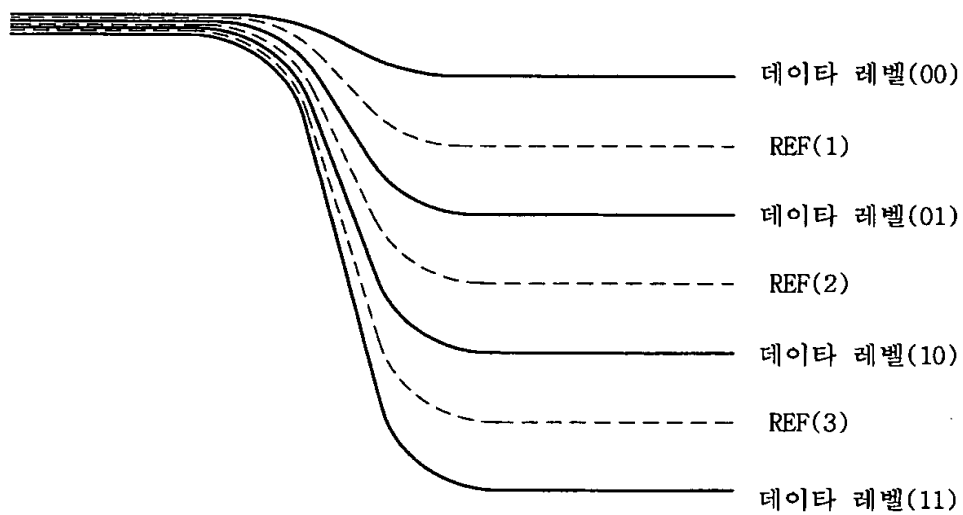
【도 26】



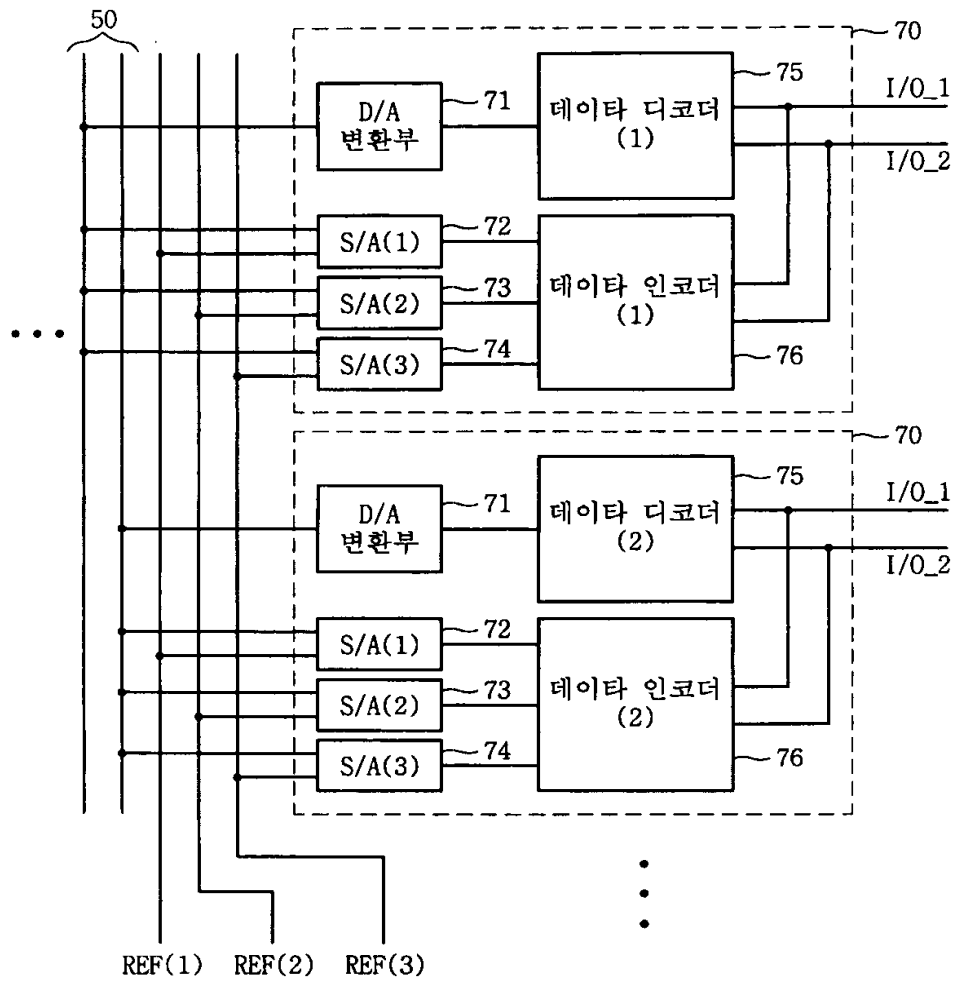
【도 27】



【도 28】

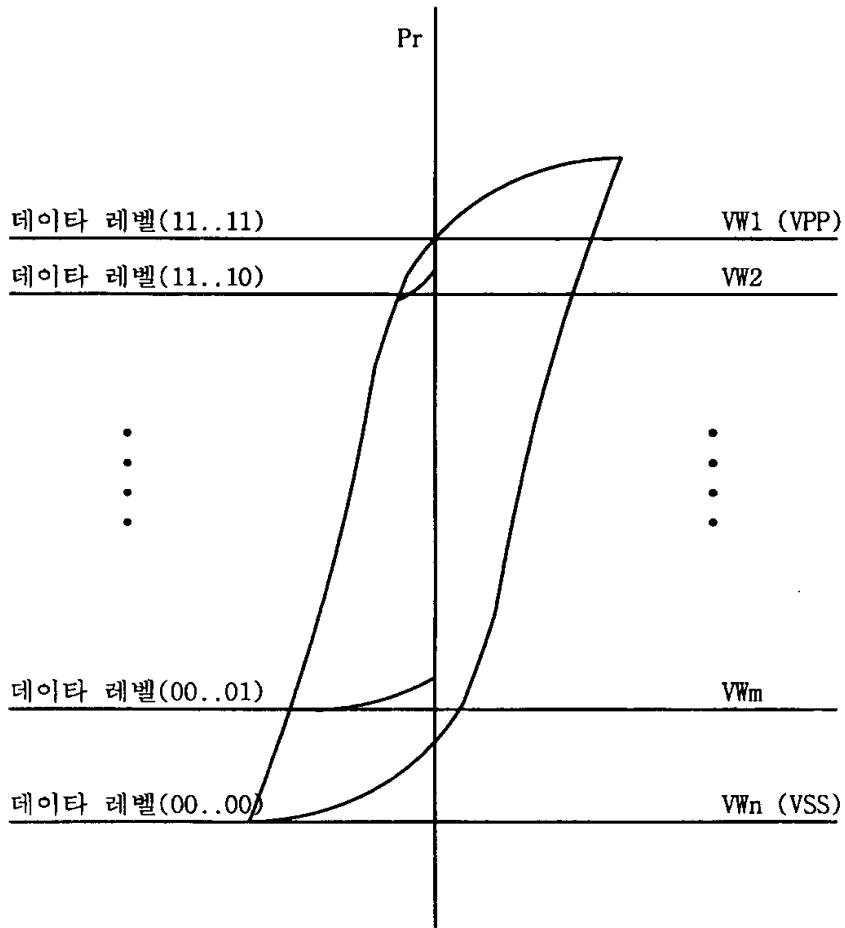


【도 29】

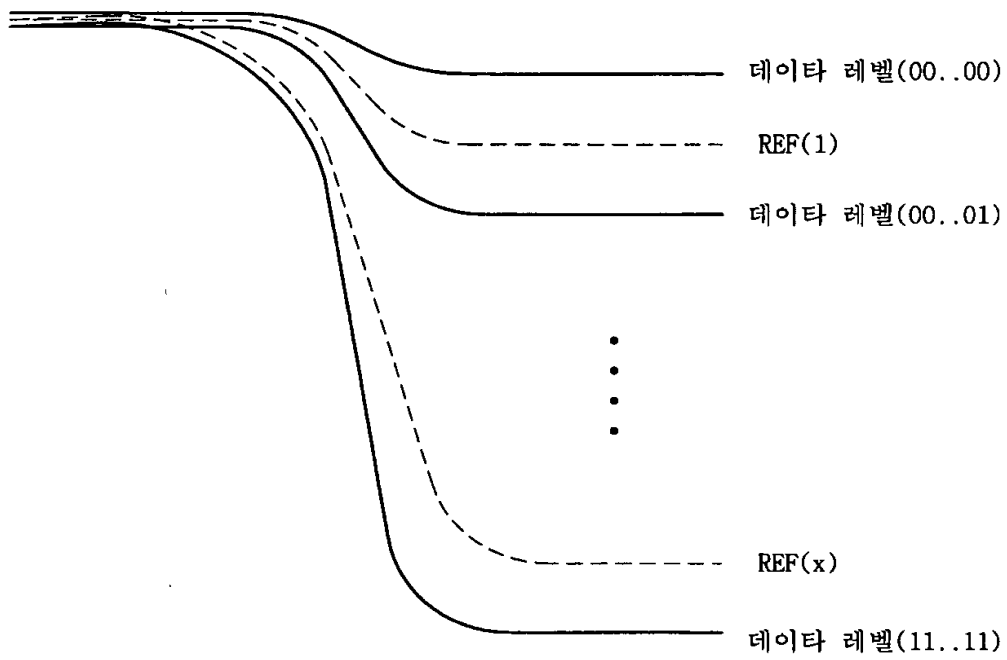




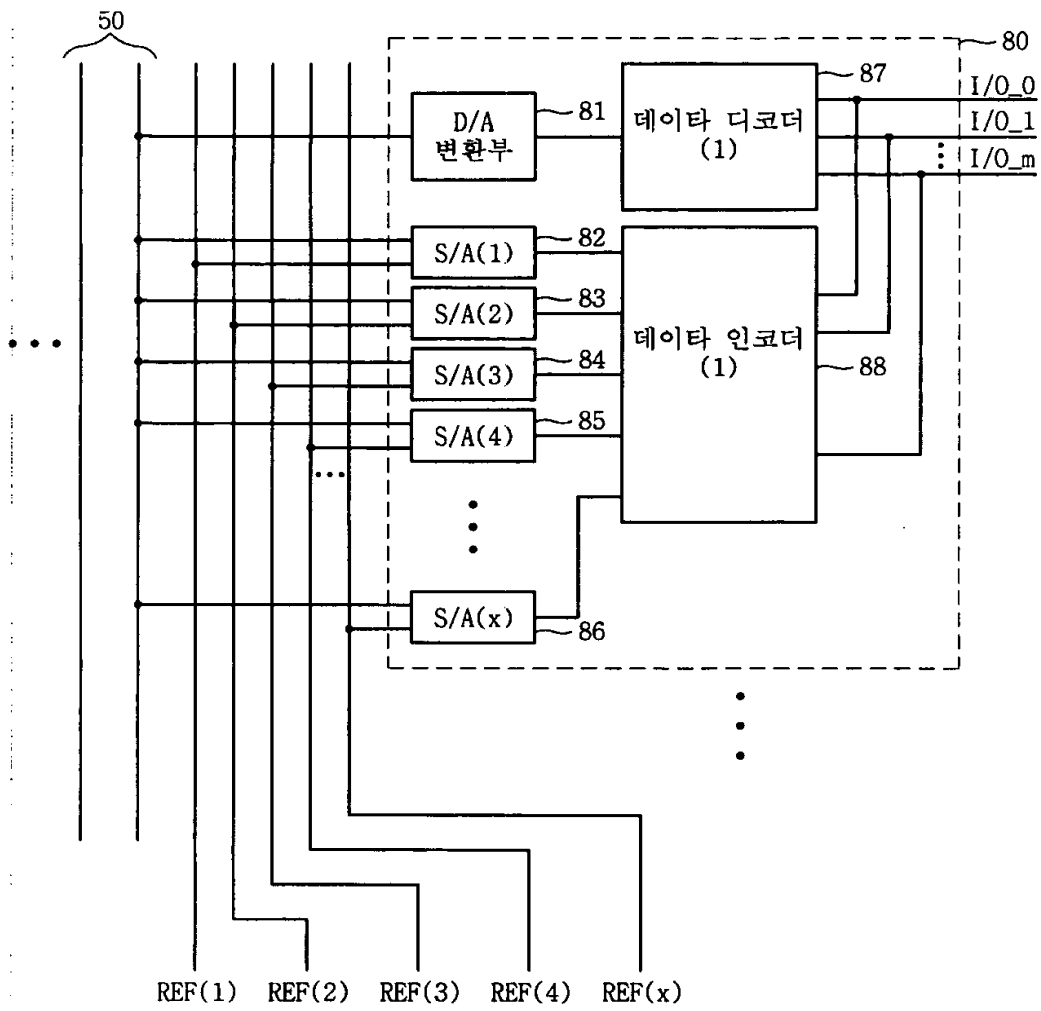
【도 30】



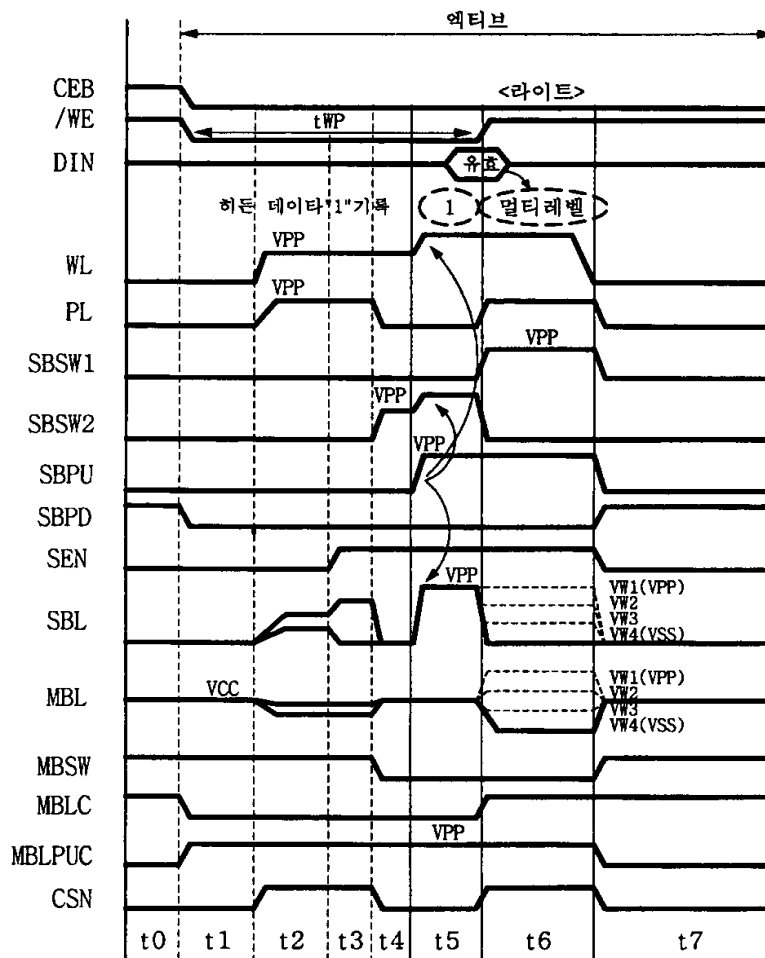
【도 31】



【도 32】



【도 33】



【도 34】

